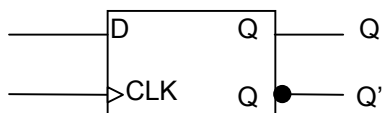


Células de memória síncronas

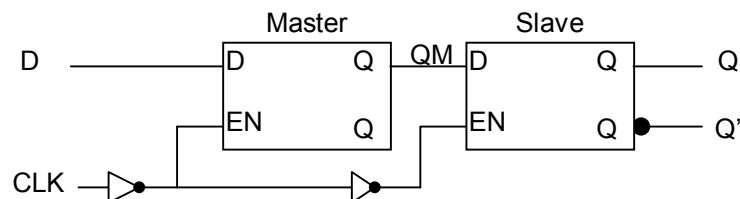
As células de memória síncronas reagem de forma sincronizada com um sinal de relógio ("Clock"-CLK), o qual determina o instante em que se verifica alteração de estado na saída. A alteração de estado na saída ocorre na vertente ascendente do sinal de relógio (disparado pelo bordo ascendente – "Positive edge-triggered") ou na vertente negativa do sinal de relógio (disparado pelo bordo descendente – "Negative edge-triggered")

"Flip-flop" D disparado pelo bordo ascendente ("Positive edge-triggered D flip-flop")

Símbolo lógico



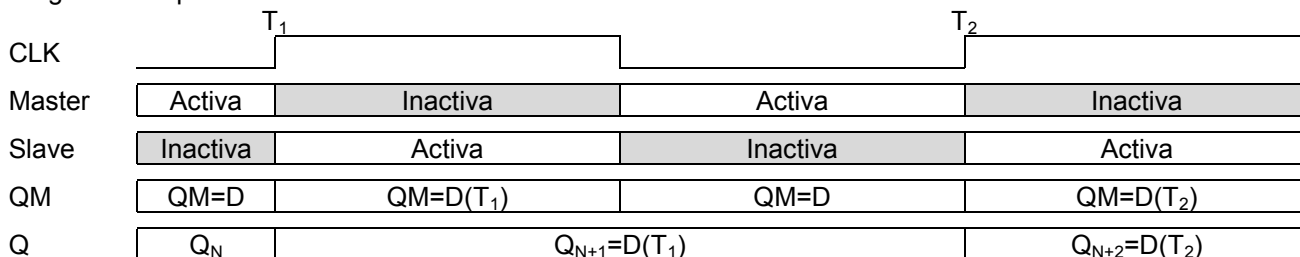
Estrutura interna baseada em duas básicas D



Descrição funcional

Quando o sinal de relógio (CLK) está a 0, a primeira básica ("master") está activa, colocando na saída QM o valor da entrada D. Neste mesmo período, a segunda básica ("slave") está inactiva e as saídas Q e Q' mantêm o mesmo estado desde a última actualização (estado presente). Quando o sinal de relógio transita para o nível 1, a básica master fica inactiva, o valor na saída QM mantém-se e a básica slave fica activa, transportando para a saída o valor de QM. Apenas existe alteração de estado na saída Q imediatamente após a transição de relógio do valor 0 para o valor 1 (vertente positiva do sinal de relógio). A saída Q reflecte o valor da entrada D no instante em que se dá a vertente positiva do relógio. Entre duas vertentes consecutivas do sinal de relógio, as eventuais alterações na entrada D não se reflectem na saída Q.

Diagrama temporal



D(T_i) representa o valor da entrada D no instante T_i.

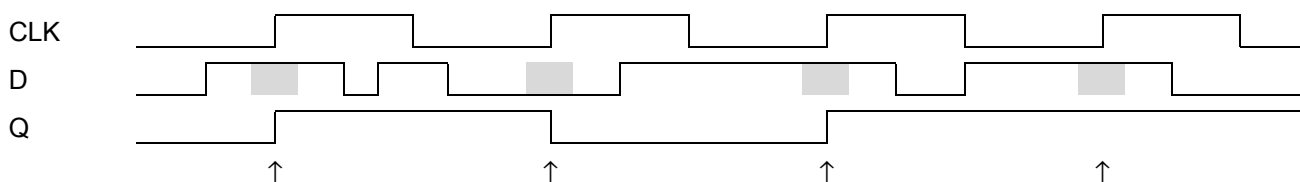
Tabela funcional			
D	CLK	Q _{N+1}	Q' _{N+1}
0	↑	0	1
1	↑	1	0
X	0	Q _N	Q' _N
X	1	Q _N	Q' _N

Tabela reduzida	
D	Q _{N+1}
0	0
1	1

Tabela de excitação		
Q _N	Q _{N+1}	D
X	0	0
X	1	1

Q_N representa o estado presente e Q_{N+1} representa o estado seguinte.

Diagrama temporal



A transição de estado verifica-se nos instantes assinalados por ↑ (vertente ascendente do relógio). O estado seguinte corresponde ao valor da entrada D no intervalo de tempo assinalado a cinzento.

“Flip-flop” D disparado pelo bordo descendente (“Negative edge-triggered D flip-flop”)

Este tipo de flip-flop D tem um comportamento idêntico ao anterior, mas reage no bordo descendente do sinal de relógio.

Símbolo lógico

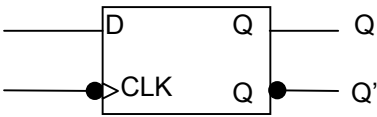
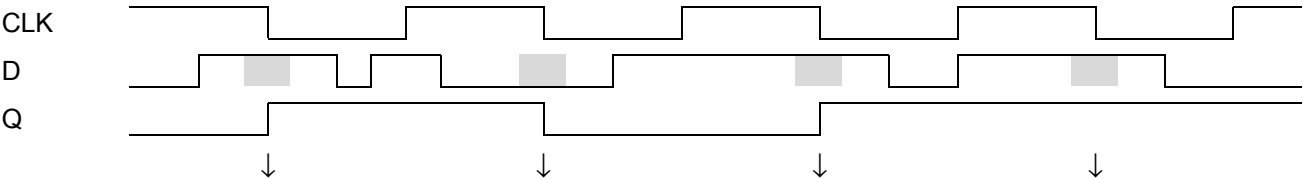


Tabela funcional

D	CLK	Q_{N+1}	Q'_{N+1}
0	↓	0	1
1	↓	1	0
X	0	Q_N	Q'_N
X	1	Q_N	Q'_N

Diagrama temporal

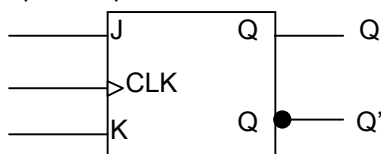


A transição de estado verifica-se nos instantes assinalados por ↓ (vertente descendente do relógio). O estado seguinte corresponde ao valor da entrada D no intervalo de tempo assinalado a cinzento.

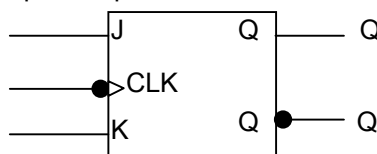
Flip-flop J-K disparado pelo bordo ascendente/descendente ("Positive/Negative edge-triggered J-K flip-flop")

Símbolo lógico

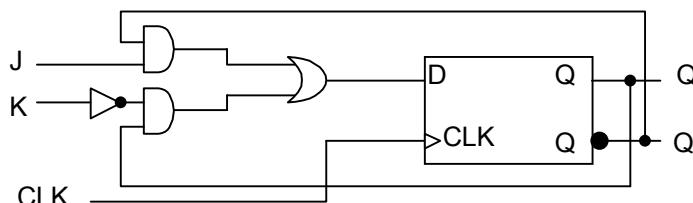
Disparado pelo bordo ascendente



Disparado pelo bordo descendente



Estrutura interna baseada num flip-flop D



Descrição funcional

Do circuito combinacional que alimenta a entrada D, que define o valor na saída no estado seguinte (Q_{N+1}), obtém-se $Q_{N+1} = D = J \cdot Q_N' + K' \cdot Q_N$.

A entrada J deste tipo de flip-flop, quando activa individualmente, coloca a saída a 1 ("Set"). A entrada K, quando activa individualmente, coloca a saída a 0 ("Reset"). Se ambas as entradas estiverem inactivas ($J=K=0$), o estado seguinte é igual ao estado presente ("hold" $Q_{N+1}=Q_N$). Se ambas as entradas estiverem activas ($J=K=1$), o estado seguinte será o valor complementado do estado presente ("toggle" $Q_{N+1}=Q_N'$).

A descrição funcional deste circuito pode ser demonstrada substituindo, em cada caso, os valores de J e K na expressão $Q_{N+1} = D = J \cdot Q_N' + K' \cdot Q_N$ (Função de excitação).

J	K	Função de excitação ($Q_{N+1}=D$)	Descrição
0	0	$Q_{N+1} = D = J \cdot Q_N' + K' \cdot Q_N$ $= 0 \cdot Q_N' + 1 \cdot Q_N = 1 \cdot Q_N = Q_N$	Mantém-se o estado presente (Hold).
0	1	$Q_{N+1} = D = J \cdot Q_N' + K' \cdot Q_N$ $= 0 \cdot Q_N' + 0 \cdot Q_N = 0$	Coloca a saída a 0 (Reset).
1	0	$Q_{N+1} = D = J \cdot Q_N' + K' \cdot Q_N$ $= 1 \cdot Q_N' + 1 \cdot Q_N = Q_N' + Q_N = 1$	Coloca a saída a 1 (Set).
1	1	$Q_{N+1} = D = J \cdot Q_N' + K' \cdot Q_N$ $= 1 \cdot Q_N' + 0 \cdot Q_N = 1 \cdot Q_N' = Q_N'$	Complementa o estado presente (Toggle).

Tabela funcional

J	K	CLK	Q_{N+1}	Q_{N+1}'	
0	0	↑	Q_N	Q_N'	Hold
0	1	↑	0	1	Reset
1	0	↑	1	0	Set
1	1	↑	Q_N'	Q_N	Toggle
X	X	0	Q_N	Q_N'	
X	X	1	Q_N	Q_N'	

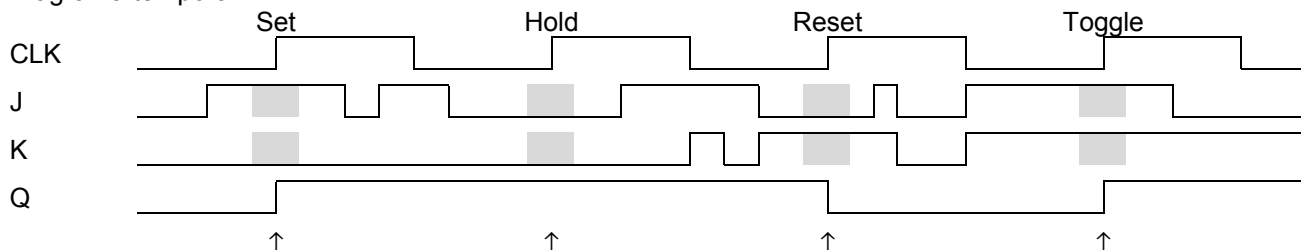
Tabela reduzida

J	K	Q_{N+1}
0	0	Q_N
0	1	0
1	0	1
1	1	Q_N'

Tabela de excitação

Q_N	Q_{N+1}	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Diagrama temporal

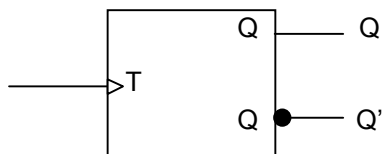


A transição de estado verifica-se nos instantes assinalados por ↑ (vertente ascendente do relógio). O estado seguinte corresponde ao valor da função de excitação, $Q_{N+1} = D = J \cdot Q_N' + K' \cdot Q_N$, no intervalo de tempo assinalado a cinzento.

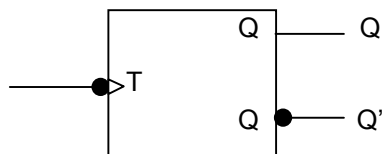
Flip-flop T disparado pelo bordo ascendente/descendente ("Positive/Negative edge-triggered T flip-flop")

Símbolo lógico

Disparado pelo bordo ascendente

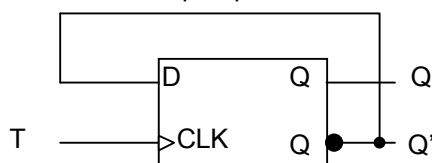


Disparado pelo bordo descendente

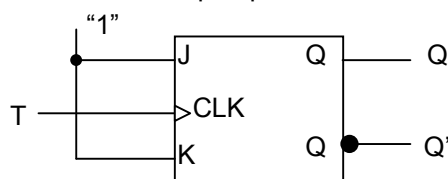


Estrutura interna

Baseada num flip-flop D



Baseada num flip-flop J-K



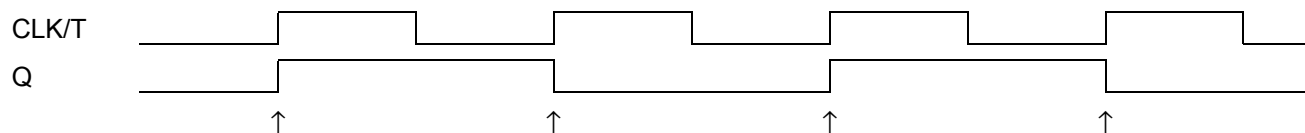
Descrição funcional

Um flip-flop T comuta de estado em cada vertente do sinal de relógio, ou seja $Q_{N+1} = Q'_N$. Apenas tem a entrada para o sinal de relógio identificada por CLK ou T. Este tipo de flip-flop não existe sob a forma de circuito integrado dado ser facilmente realizado a partir de flip-flops D ou flip-flops J-K.

Tabela funcional

CLK/T	Q_{N+1}	Q'_{N+1}
$\uparrow$	Q'_N	Q_N
0	Q_N	Q'_N
1	Q_N	Q'_N

Diagrama temporal



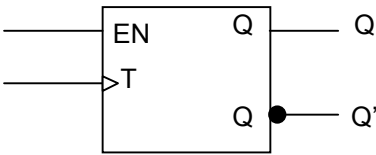
A transição de estado verifica-se nos instantes assinalados por $\uparrow$ (vertente ascendente do relógio). O estado seguinte é sempre igual ao estado presente complementado. O sinal obtido na saída, conforme se pode verificar no diagrama temporal, tem o dobro do período do sinal de relógio, ou, por outras palavras, tem metade da frequência do sinal de relógio.

Flip-flop T com entrada de enable

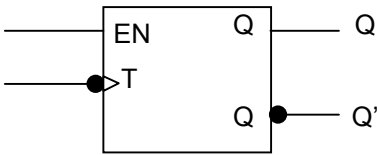
A operação de comutação de estado na saída pode ser controlada através de uma entrada adicional de enable (EN).

Símbolo lógico

Disparado pelo bordo ascendente

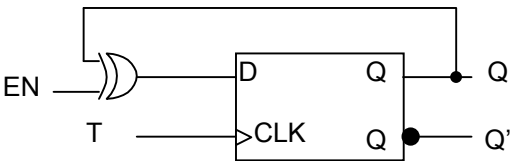


Disparado pelo bordo descendente



Estrutura interna

Baseada num flip-flop D



Baseada num flip-flop J-K

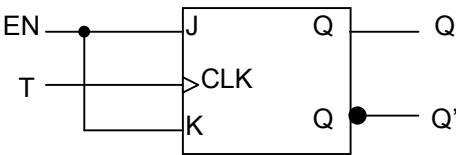
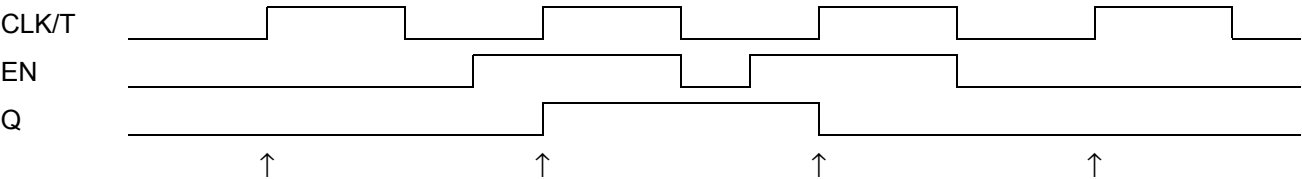


Tabela funcional

EN	CLK/T	Q_{N+1}	Q'_{N+1}
0	X	Q_N	Q'_N
1	$\uparrow$	Q'_N	Q_N
1	0	Q_N	Q'_N
1	1	Q_N	Q'_N

Diagrama temporal

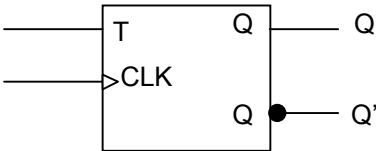


A transição de estado verifica-se nos instantes assinalados por $\uparrow$ (vertente ascendente do relógio).

As funções associadas às entradas deste tipo de flip-flop podem ser alteradas. Obtém-se um novo tipo de flip-flop T, sendo a entrada T que define quando é que a saída comuta de estado (T assume a função de EN no flip-flop anterior).

Símbolo lógico

Disparado pelo bordo ascendente



Disparado pelo bordo descendente

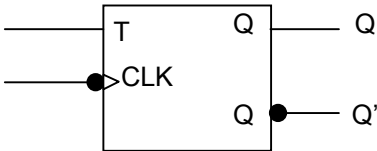


Tabela funcional

T	CLK	Q	Q'
0	$\uparrow$	Q_N	Q'_N
1	$\uparrow$	Q'_N	Q_N
X	0	Q_N	Q'_N
X	1	Q_N	Q'_N

Hold
Toggle

Tabela reduzida

T	Q_{N+1}
0	Q_N
1	Q'_N

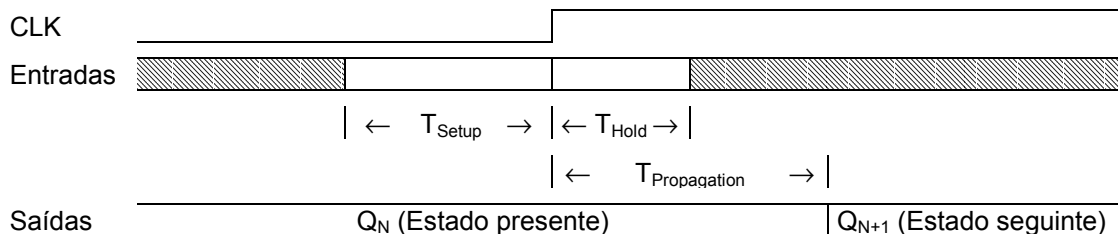
Tabela de excitação

Q_N	Q_{N+1}	T
0	0	0
0	1	1
1	0	1
1	1	0

Requisitos temporais de operacionalidade das células de memória síncronas

Os diagramas temporais, anteriormente apresentados, não permitem caracterizar o comportamento dos flip-flops síncronos quando ocorre alteração de estado nas entradas em simultâneo com a vertente (positiva ou negativa) do sinal de relógio. De facto, nestas situações, o comportamento destes circuitos é imprevisível.

Os fabricantes definem tempos mínimos de modo a garantir a operacionalidade dos flip-flops de acordo com a respectiva tabela funcional. Durante um tempo mínimo, designado por tempo de preparação ("setup time"), antes da vertente do sinal de relógio, os sinais nas entradas devem estar estabilizados. Estes devem manter-se estáveis durante um tempo mínimo, designado por tempo de manutenção ("hold time"). O tempo máximo de propagação é definido a partir do instante em que ocorre a vertente do sinal de relógio.



Estes tempos mínimos definem a frequência máxima de operação, ou seja a frequência máxima do sinal de relógio. Por exemplo, considerando $T_{Setup}=20$ ns, $T_{Hold}=5$ ns, $T_{Propagation}=30$ ns, o tempo entre duas vertentes positivas do sinal de relógio deve ser superior a $T_{Setup}+T_{Propagation}=50$ ns, a que corresponde uma frequência máxima do sinal de relógio de $1/(50 \times 10^{-9} \text{ s}) = 1/50 \times 10^9 \text{ Hz} = 0,02 \times 10^9 = 20 \times 10^6 = 20 \text{ MHz}$.

Os fabricantes definem outros tipos de requisitos temporais que poderão limitar a frequência máxima de operação.

Exemplo:

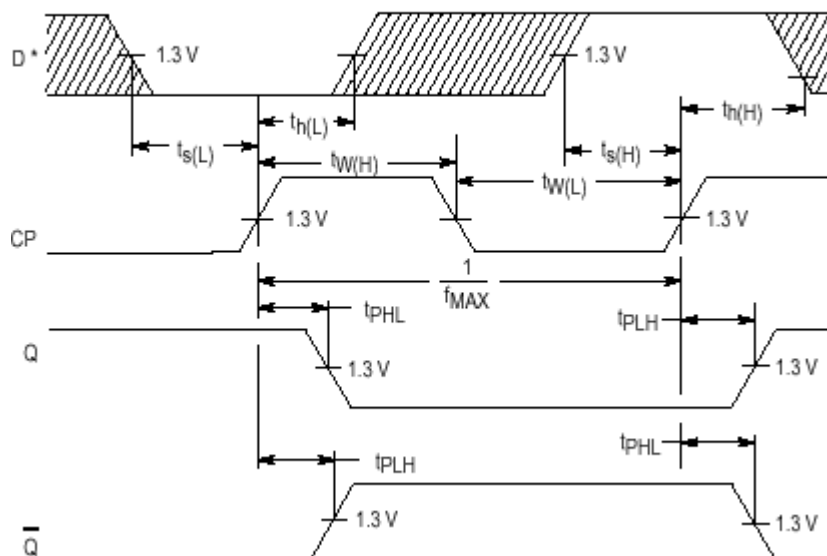
AC CHARACTERISTICS ($T_A = 25^\circ\text{C}$, $V_{CC} = 5.0 \text{ V}$)

Symbol	Parameter	Limits			Unit
		Min	Typ	Max	
f_{MAX}	Maximum Clock Frequency	25	33		MHz
t_{PLH} t_{PHL}	Clock, Clear, Set to Output		13	25	ns
			25	40	ns

AC SETUP REQUIREMENTS ($T_A = 25^\circ\text{C}$)

Symbol	Parameter	Limits			Unit
		Min	Typ	Max	
$t_{W(H)}$	Clock	25			ns
$t_{W(L)}$	Clear, Set	25			ns
t_s	Data Setup Time — HIGH LOW	20			ns
		20			ns
t_h	Hold Time	5.0			ns

AC WAVEFORMS



Equação característica

O comportamento funcional dos flip-flops pode ser formalmente descrito através da respectiva equação característica que especifica o estado seguinte em função do estado presente e das entradas.

Tipo de flip-flop	Equação característica
D	$Q_{N+1} = D$
J-K	$Q_{N+1} = J \cdot Q'_N + K' \cdot Q_N$
T	$Q_{N+1} = T \oplus Q_N$

Conversão entre tipos de flip-flops

Considerando flip-flops síncronos, é possível obter a funcionalidade de uns a partir dos outros recorrendo a alguma lógica adicional. Para uma melhor compreensão do processo de conversão, considera-se para o efeito uma tabela onde são representados: o estado presente (Q_N), as variáveis de entrada do flip-flop a construir, as entradas do flip-flop a utilizar e o estado seguinte (Q_{N+1}).

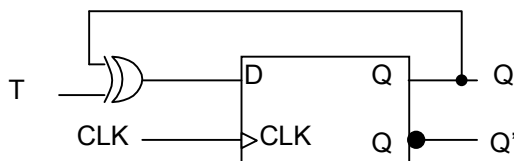
Estado presente(Q_N)	Var. de entrada do flip-flop a construir	Var. de entrada do flip-flop a utilizar	Estado seguinte(Q_{N+1})

Para as colunas 1 e 2 consideram-se todas as combinações possíveis de valores binários para as variáveis em causa. A coluna 4 é preenchida de acordo com a tabela funcional do tipo de flip-flop a construir. A coluna 3 é preenchida de acordo com a tabela de excitação do flip-flop a utilizar. Para cada uma das variáveis de entrada do flip-flop, determina-se a expressão que depende das variáveis da 1ª e 2ª coluna e consequentemente a lógica combinacional que alimenta a entrada do flip-flop a utilizar.

Construção de um flip-flop T, utilizando um flip-flop D

Q_N	T	D	Q_{N+1}
0	0	0	0
0	1	1	1
1	0	1	1
1	1	0	0

$$D = f(Q_N, T) = Q'_N \cdot T + Q_N \cdot T' = T \oplus Q_N$$

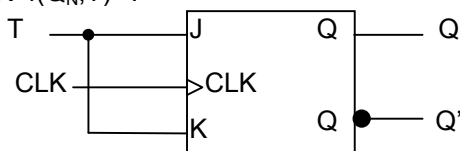


Construção de um flip-flop T, utilizando um flip-flop J-K

Q_N	T	J	K	Q_{N+1}
0	0	0	X	0
0	1	1	X	1
1	0	X	0	1
1	1	X	1	0

$$J = f(Q_N, T) = T$$

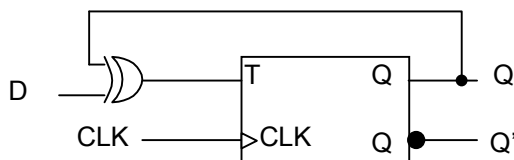
$$K = f(Q_N, T) = T$$



Construção de um flip-flop D, utilizando um flip-flop T

Q_N	D	T	Q_{N+1}
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	1

$$T = f(Q_N, D) = Q'_N \cdot D + Q_N \cdot D' = D \oplus Q_N$$

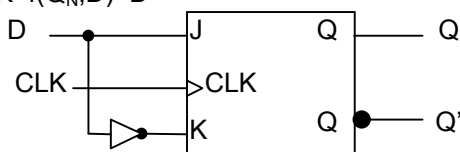


Construção de um flip-flop D, utilizando um flip-flop J-K

Q_N	D	J	K	Q_{N+1}
0	0	0	X	0
0	1	1	X	1
1	0	X	1	0
1	1	X	0	1

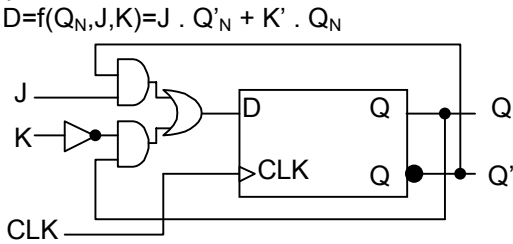
$$J = f(Q_N, D) = D$$

$$K = f(Q_N, D) = D'$$



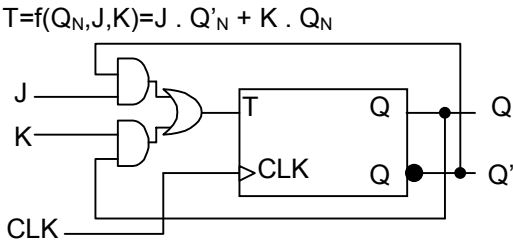
Construção de um flip-flop J-K, utilizando um flip-flop D

Q_N	J	K	D	Q_{N+1}
0	0	0	0	0
0	0	1	0	0
0	1	0	1	1
0	1	1	1	1
1	0	0	1	1
1	0	1	0	0
1	1	0	1	1
1	1	1	0	0



Construção de um flip-flop J-K, utilizando um flip-flop T

Q_N	J	K	T	Q_{N+1}
0	0	0	0	0
0	0	1	0	0
0	1	0	1	1
0	1	1	1	1
1	0	0	0	1
1	0	1	1	0
1	1	0	0	1
1	1	1	1	0



Entradas adicionais assíncronas

Muitos flip-flops têm entradas adicionais assíncronas de modo a permitir colocar o flip-flop num determinado estado conhecido, quaisquer que seja o estado das restantes entradas (entradas síncronas). São normalmente utilizadas na inicialização do estado de um sistema. A entrada CLEAR ou RESET, coloca, de forma assíncrona, a saída Q no estado 0. A entrada PRESET ou SET, coloca, de forma assíncrona, a saída Q no estado 1. Estas entradas assíncronas são, normalmente, activas a 0 e, tal como acontecia para a bástula S-R, nunca devem estar activas simultaneamente, pois, nesta situação, a saída encontra-se num estado indefinido.

Flip-Flop D com entradas assíncronas PRESET e CLEAR activas a zero

Símbolo lógico

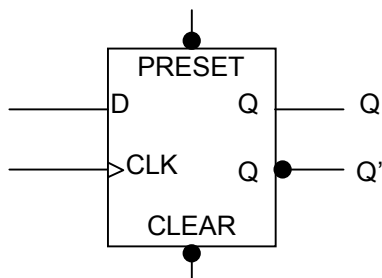


Tabela funcional

PRESET	CLEAR	D	CLK	Q_{N+1}	Q'_{N+1}
0	1	X	X	1	0
1	0	X	X	0	1
0	0	X	X	Indefinido	
1	1	0	$\uparrow$	0	1
1	1	1	$\uparrow$	1	0
1	1	X	0	Q_N	Q'_N
1	1	X	1	Q_N	Q'_N

Circuito de inicialização de flip-flops com entradas CLEAR e PRESET assíncronas

Com base nas entradas assíncronas CLEAR e PRESET activas a zero, o circuito combinacional da figura permite a inicialização assíncrona de um flip-flop num estado desejado (E) sempre que a entrada L estiver activa.

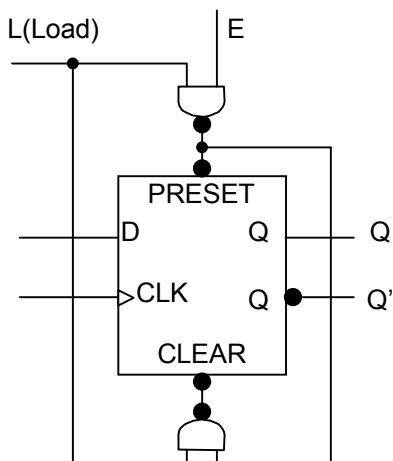
Tabela funcional

L (Load)	E	/PRESET	/CLEAR	Q	Circuito de inicialização
0	0	1	1	Q_N	Inactivo
0	1	1	1	Q_N	
1	0	1	0	0	Activo (Q=E)
1	1	0	1	1	

$$/\text{PRESET} = L' + E' = (L \cdot E)'$$

$$/\text{CLEAR} = L' + E = L' + L \cdot E = (L' + L \cdot E)'' = (L \cdot (L \cdot E)')' = (L \cdot /(\text{PRESET}))'$$

Exemplo de um circuito de inicialização aplicado a um flip-flop D



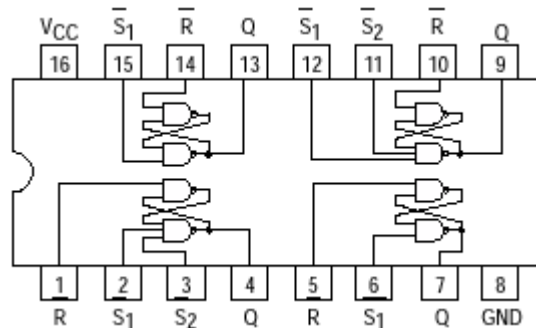
Células de memória disponíveis sob a forma de circuito integrado

Exemplos:

♦ 54/74/XXX279 – Quad Set Reset latch

Principais funcionalidades:

- quatro básculas S'-R'
- duas das quatro básculas com duas entradas S activas a zero (S'_1 , S'_2);
- saída não complementada (Q).



TRUTH TABLE

INPUT			OUTPUT (Q)
$\bar{S}_1$	$\bar{S}_2$	$\bar{R}$	
L	L	L	h
L	X	H	H
X	L	H	H
H	H	L	L
H	H	H	No Change

L = LOW Voltage Level

H = HIGH Voltage Level

X = Don't Care

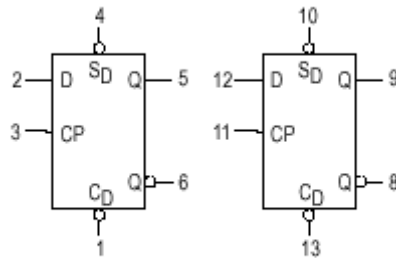
h = The output is HIGH as long as S_1 or S_2 is LOW. If all inputs go HIGH simultaneously, the output state is indeterminate; otherwise, it follows the Truth Table

◆ 54/74/XXX74 – Dual D-Type Positive Edge-Triggered Flip-Flop

Principais funcionalidades:

- dois flip-flops D (entrada activa a um);
- disparado pelo bordo ascendente do sinal de relógio;
- entradas assíncronas de SET e CLEAR (S'_D , C'_D - activas a zero);
- saídas complementada e não complementada (Q , Q').

LOGIC SYMBOL



V_{CC} = PIN 14
GND = PIN 7

MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS			OUTPUTS	
	S_D	C_D	D	Q	Q'
Set	L	H	X	H	L
Reset (Clear)	H	L	X	L	H
*Undetermined	L	L	X	H	H
Load "1" (Set)	H	H	h	H	L
Load "0" (Reset)	H	H	l	L	H

* Both outputs will be HIGH while both S_D and C_D are LOW, but the output states are unpredictable if S_D and C_D go HIGH simultaneously. If the levels at the set and clear are near V_{IL} maximum then we cannot guarantee to meet the minimum level for V_{OH} .

H, h = HIGH Voltage Level

L, l = LOW Voltage Level

X = Don't Care

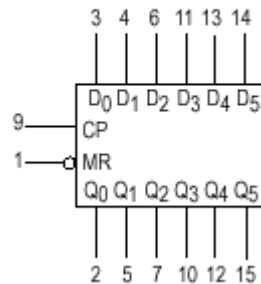
i, h (q) = Lower case letters indicate the state of the referenced input (or output) one set-up time prior to the HIGH to LOW clock transition.

◆ 54/74/XXX174 – Hex D-Type Positive Edge-Triggered Flip-Flop

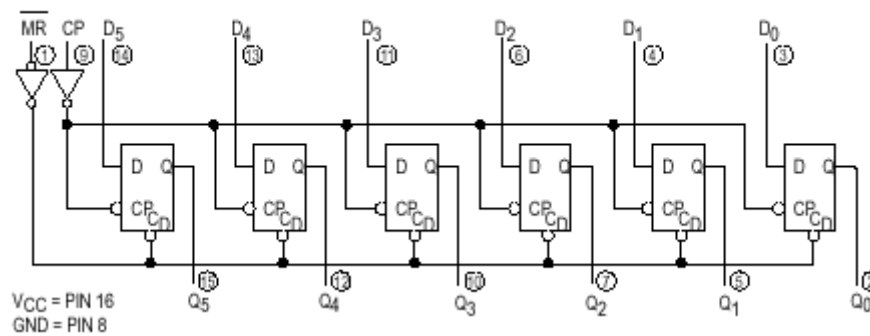
Principais funcionalidades:

- seis flip-flops D (entrada activa a um);
- disparado pelo bordo ascendente do sinal de relógio;
- entrada comum assíncrona de CLEAR (MR' - activa a zero);
- saídas não complementadas ($Q_0 \dots Q_5$).

LOGIC SYMBOL



LOGIC DIAGRAM



TRUTH TABLE

Inputs ($t = n$, MR = H)	Outputs ($t = n+1$) Note 1
D	Q
H	H
L	L

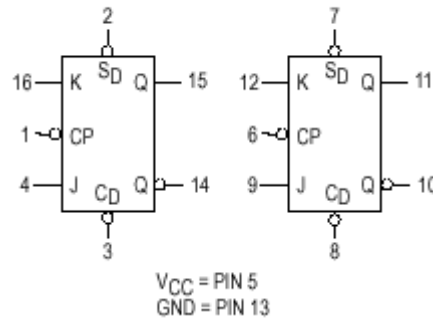
Note 1: $t = n + 1$ indicates conditions after next clock.

◆ 54/74/XXX76A – Dual J-K-Type Negative Edge-Triggered Flip-Flop

Principais funcionalidades:

- dois flip-flops J-K (entradas activas a um);
- disparado pelo bordo descendente do sinal de relógio;
- entradas assíncronas de SET e CLEAR (S'_D , C'_D - activas a zero);
- saídas complementada e não complementada (Q , Q').

LOGIC SYMBOL



MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS				OUTPUTS	
	S_D	C_D	J	K	Q	Q'
Set	L	H	X	X	H	L
Reset (Clear)	H	L	X	X	L	H
*Undetermined	L	L	X	X	H	H
Toggle	H	H	h	h	q	q
Load "0" (Reset)	H	H	l	h	L	H
Load "1" (Set)	H	H	h	l	H	L
Hold	H	H	l	l	q	q

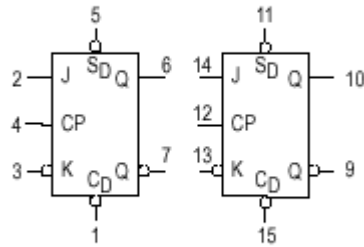
*Both outputs will be HIGH while both S_D and C_D are LOW, but the output states are unpredictable if S_D and C_D go HIGH simultaneously.

◆ 54/74/XXX109 – Dual J-K-Type Positive Edge-Triggered Flip-Flop

Principais funcionalidades:

- dois flip-flops J-K (entrada J activa a um e entrada K activa a zero);
- disparado pelo bordo ascendente do sinal de relógio;
- entradas assíncronas de SET e CLEAR (S_D , C_D - activas a zero);
- saídas complementada e não complementada (Q , Q').

LOGIC SYMBOL



V_{CC} = PIN 16
GND = PIN 8

MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS				OUTPUTS	
	S_D	C_D	J	K	Q	Q'
Set	L	H	X	X	H	L
Reset (Clear)	H	L	X	X	L	H
*Undetermined	L	L	X	X	H	H
Load "1" (Set)	H	H	h	h	H	L
Hold	H	H	l	h	$\underline{q}$	q
Toggle	H	H	h	l	q	$\underline{q}$
Load "0" (Reset)	H	H	l	l	L	H

* Both outputs will be HIGH while both S_D and C_D are LOW, but the output states are unpredictable if S_D and C_D go HIGH simultaneously.