

Registos

Registos de dados (“registers”)

Os registos de dados são circuitos constituídos por um determinado número de flip-flops, normalmente do tipo D, com entradas e saídas independentes, mas que têm em comum a entrada de relógio e eventuais entradas de controlo.

O número de flip-flops por circuito integrado também varia e, embora a maioria dos CIs apresente apenas a saída Q de cada flip-flop, também existem registos de dados que disponibilizam a saída Q' de cada flip-flop.

◆ 54/74/XXX374 – Octal D-Type Flip-Flop with 3-state output

Principais funcionalidades:

- oito flip-flops D;
- positive edge triggered;
- saídas em três estados controladas pela entrada OE' (activa a 0);
- saídas não complementada Q_i.

Diagrama lógico

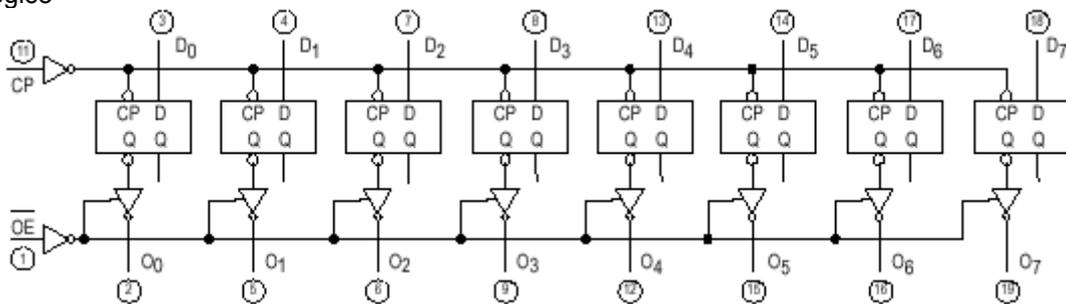


Tabela funcional

D _n	CP	OE	Q _n
H		L	H
L		L	L
X	X	H	Z*

Z* = estado de alta impedância

Latch

Os latches são circuitos com a mesma organização dos registos de dados, mas constituídos por células de memória assíncronas com a característica de transparência (báscula D). A linha que controla e temporiza o carregamento de novos dados nas células não é um relógio mas sim um sinal de enable que habilita a transferência do valor das entradas para as saídas das básculas.

◆ 54/74/XXX373 – Octal transparent latch with 3-state output

Principais funcionalidades:

- oito latch D (báscula D);
- entrada de controlo da sensibilidade das báscula LE (activa a 1);
- saídas em três estados controladas pela entrada OE' (activa a 0);
- saídas não complementada Q_i .

Diagrama lógico

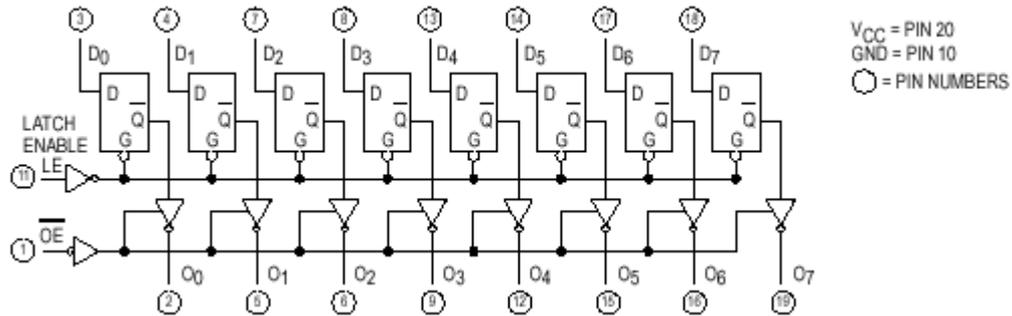


Tabela funcional

D_n	LE	OE	O_n
H	H	L	H
L	H	L	L
X	L	L	Q_0
X	X	H	Z^*

Z^* = estado de alta impedância

Registos de deslocamento (“Shift registers”)

Os registos de deslocamento são constituídos por uma cadeia de células de memória síncronas, interligadas de maneira a que os valores das saídas sofram um deslocamento em cada vertente activa do relógio.

Registo de deslocamento de 3 bits

Diagrama lógico

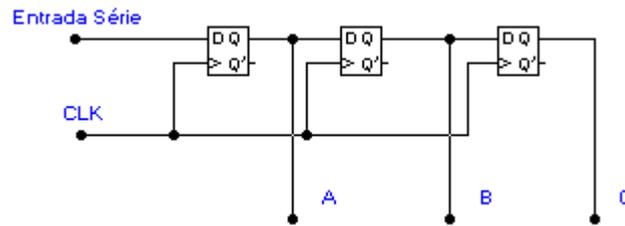
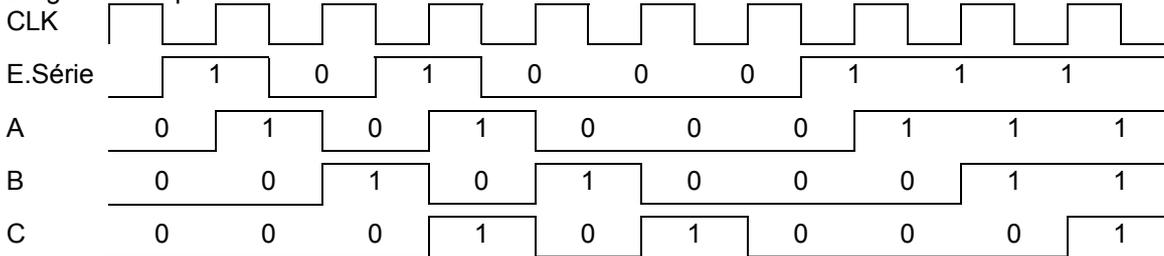


Diagrama temporal

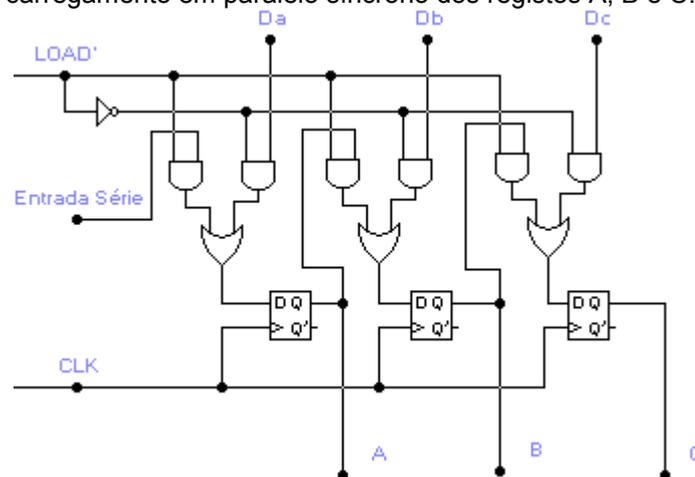


Para além desta função básica, os registos de deslocamento, disponíveis sob a forma de CI, apresentam várias funções adicionais, nomeadamente:

- carregamento em paralelo síncrono/assíncrono;
- deslocamento nas duas direcções (“bi-directional shift registers”);
- inibição da operação de deslocamento;
- “clear” síncrono ou assíncrono.

Registo de deslocamento com carregamento em paralelo síncrono

A entrada $LOAD'$ permite o carregamento em paralelo síncrono dos registos A, B e C.



A característica de carregamento em paralelo num registo de deslocamento é designada de “Parallel-In”. Um registo de deslocamento que apresente todas as saídas dos flip-flops tem a característica de “Parallel-Out”. As características “Serial-In” (entrada do primeiro flip-flop) e “Serial-Out” (saída do último flip-flop) existem em qualquer registo de deslocamento.

Assim, existem registos de deslocamento do tipo:

- PIPO- Parallel-In, Parallel-Out
- SIPO- Serial-In, Parallel-Out
- PISO- Parallel-In, Serial-Out
- SISO- Serial-In, Serial-Out

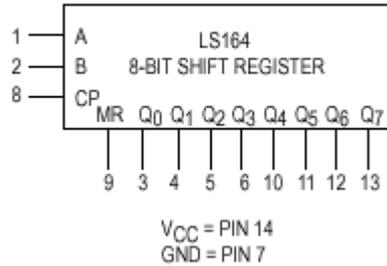
Registos de deslocamento disponíveis sob a forma de circuito integrado

◆ 54/74/XXX164 – 8 Bit Serial-In Parallel-Out Shift Register

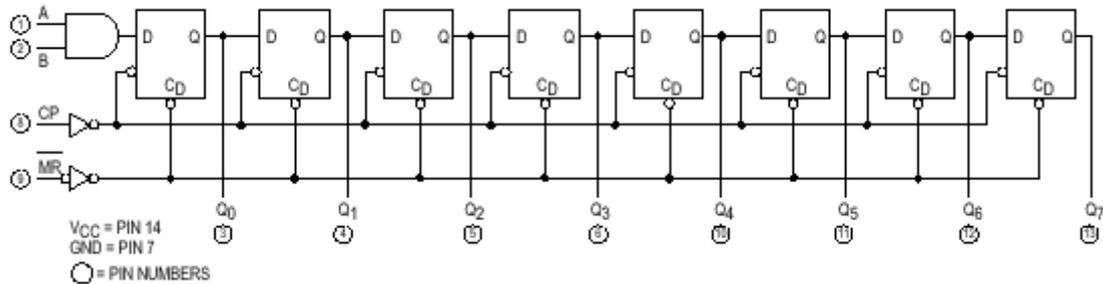
Principais funcionalidades:

- registo de deslocamento de oito bits Serial-In, Parallel-Out;
- “positive edge triggered”;
- “clear” assíncrono (entrada MR activa a 1);
- entrada série = A . B
- saídas paralelas não complementadas Q_i .

LOGIC SYMBOL



LOGIC DIAGRAM



MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS			OUTPUTS	
	MR	A	B	Q ₀	Q ₁ –Q ₇
Reset (Clear)	L	X	X	L	L – L
Shift	H	l	l	L	q ₀ – q ₆
	H	l	h	L	q ₀ – q ₆
	H	h	l	L	q ₀ – q ₆
	H	h	h	H	q ₀ – q ₆

L (l) = LOW Voltage Levels

H (h) = HIGH Voltage Levels

X = Don't Care

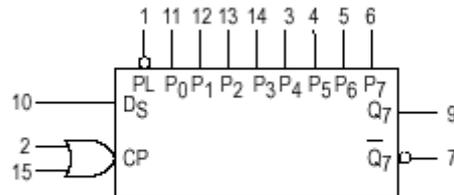
q_n = Lower case letters indicate the state of the referenced input or output one set-up time prior to the LOW to HIGH clock transition.

◆ 54/74/XXX165 – 8 Bit Parallel-In to Serial-Out Shift Register

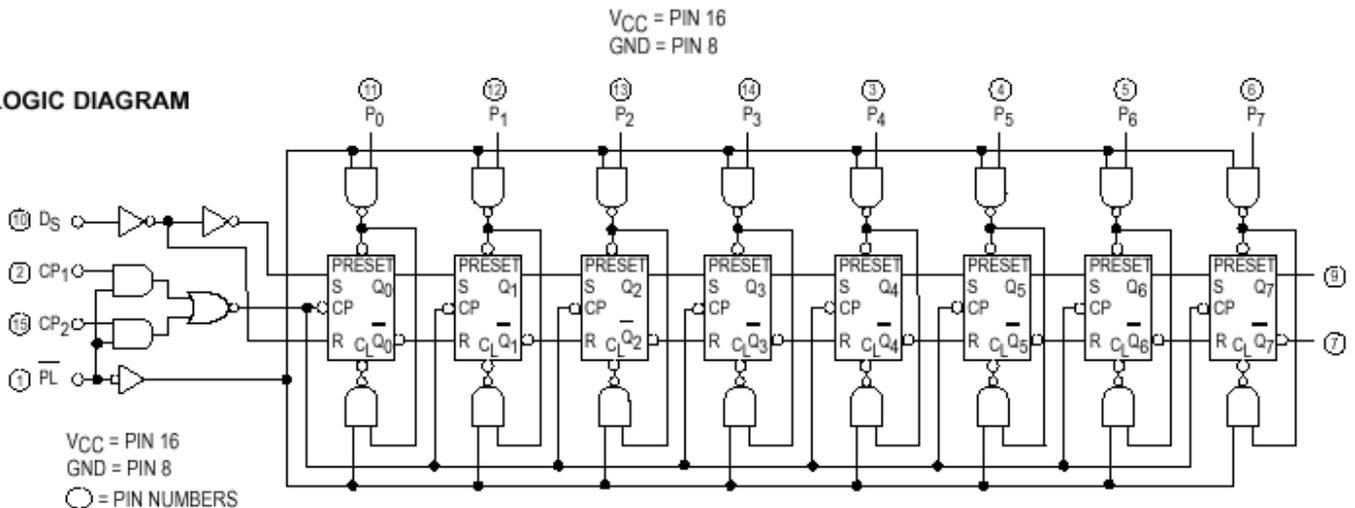
Principais funcionalidades:

- registo de deslocamento de oito bits Parallel-In, Serial-Out;
- "positive edge triggered";
- sinal de relógio nas entradas CP₁ ou CP₂;
- entradas paralelas P₀, P₁, ...P₇, assíncronas;
- carregamento em paralelo assíncrono controlado pela entrada PL' (activa a 0);
- entrada série D_S;
- saída série complementada e não complementada (Q₇, Q₇').

LOGIC SYMBOL



LOGIC DIAGRAM



TRUTH TABLE

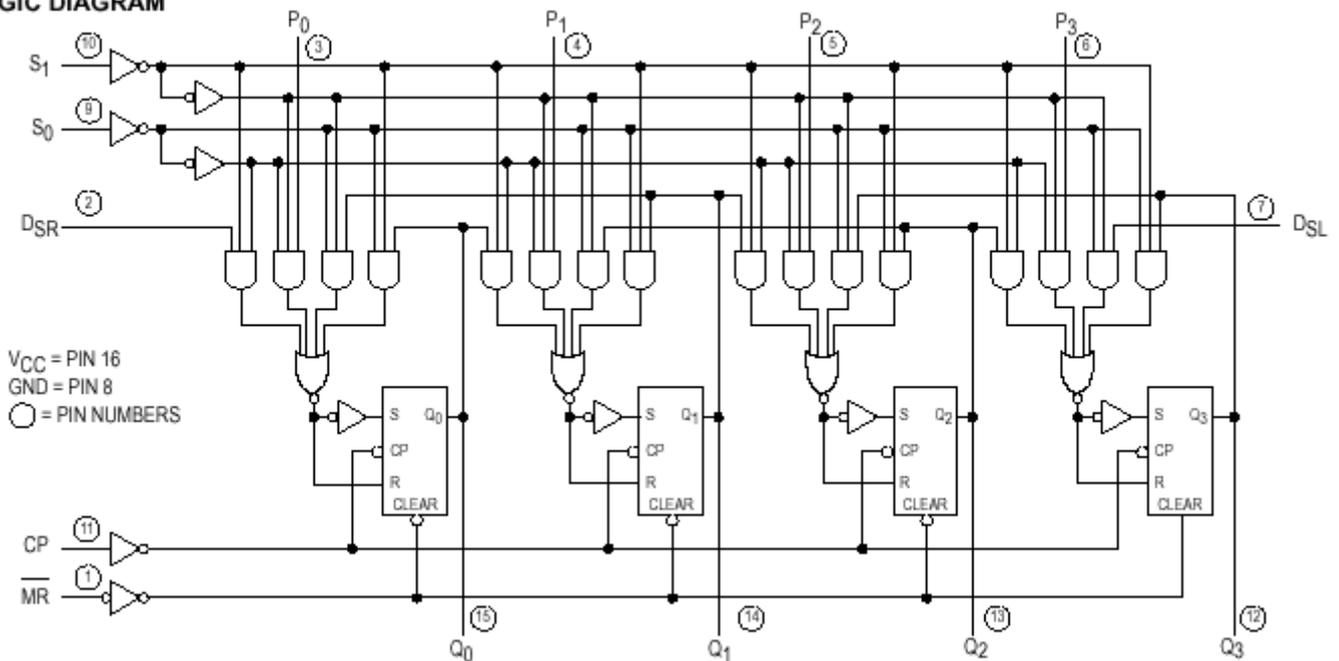
PL	CP		CONTENTS								RESPONSE
	1	2	Q ₀	Q ₁	Q ₂	Q ₃	Q ₄	Q ₅	Q ₆	Q ₇	
L	X	X	P ₀	P ₁	P ₂	P ₃	P ₄	P ₅	P ₆	P ₇	Parallel Entry
H	L	↗	D _S	Q ₀	Q ₁	Q ₂	Q ₃	Q ₄	Q ₅	Q ₆	Right Shift
H	H	↗	Q ₀	Q ₁	Q ₂	Q ₃	Q ₄	Q ₅	Q ₆	Q ₇	No Change
H	↗	L	D _S	Q ₀	Q ₁	Q ₂	Q ₃	Q ₄	Q ₅	Q ₆	Right Shift
H	↗	H	Q ₀	Q ₁	Q ₂	Q ₃	Q ₄	Q ₅	Q ₆	Q ₇	No Change

◆ 54/74/XXX194A – 4 Bit Bi-directional Universal Shift Register

Principais funcionalidades:

- registo de deslocamento de 4 bits Parallel-In, Parallel-Out;
- "positive edge triggered";
- entradas de controlo S_0 , S_1 que controlam o modo de funcionamento: inibição de deslocamento, deslocamento à direita, deslocamento à esquerda e carregamento em paralelo síncrono;
- entrada série à direita D_{SR} e à esquerda D_{SL} ;
- entradas em paralelo P_0 , P_1 , P_2 , P_3 ;
- saídas não complementadas Q_0 , Q_1 , Q_2 , Q_3 ;
- "clear" assíncrono controlado pela entrada MR' (activa a 0);

LOGIC DIAGRAM



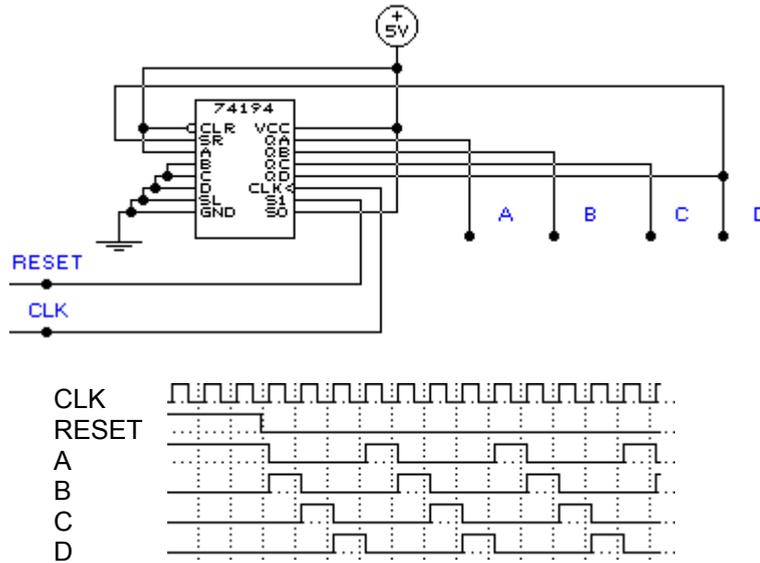
MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS						OUTPUTS			
	MR	S_1	S_0	D_{SR}	D_{SL}	P_n	Q_0	Q_1	Q_2	Q_3
Reset	L	X	X	X	X	X	L	L	L	L
Hold	H	l	l	X	X	X	q_0	q_1	q_2	q_3
Shift Left	H	h	l	X	l	X	q_1	q_2	q_3	L
	H	h	l	X	h	X	q_1	q_2	q_3	H
Shift Right	H	l	h	l	X	X	L	q_0	q_1	q_2
	H	l	h	h	X	X	H	q_0	q_1	q_2
Parallel Load	H	h	h	X	X	P_0	P_0	P_1	P_2	P_3

Contadores em anel baseados em registos de deslocamento

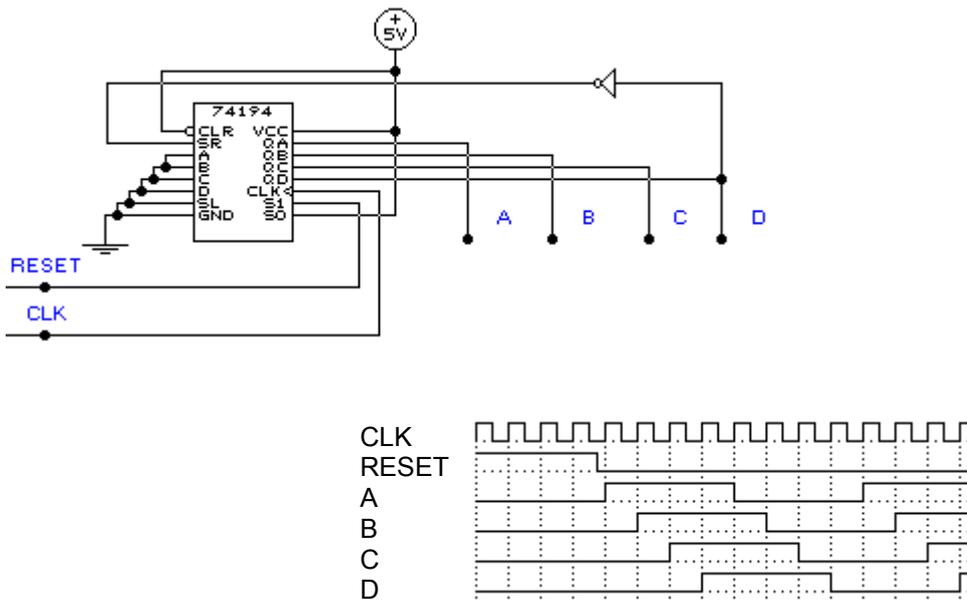
Contador em anel standard de 4 bits, utilizando o CI '194A

A entrada RESET, activa a um, permite a inicialização do contador, mantendo o sistema no estado 1000(ABCD).



Contador em anel twisted de 4 bits, utilizando o CI '194A

A entrada RESET, activa a um, permite a inicialização do contador, mantendo o sistema no estado 0000(ABCD).



Note-se que, nos exemplos anteriores, foi utilizada a característica de parallel-in do IC '194 para a inicialização do contador num estado que pertence à sequência principal.

Contador em anel standard de 4 bits com auto-correcção, utilizando o CI '194A

Sequência de contagem (ABCD) : 1000, 0100, 0010, 0001, 1000, ...

Para um contador em anel standard sem auto-correcção, obtém-se as funções de excitação:

$$D_A=D \quad D_B=A \quad D_C=B \quad D_D=C$$

Num registo de deslocamento, as funções D_B , D_C e D_D são internas, não podendo ser alteradas. Resta a possibilidade de, externamente ao circuito, alterar a função de excitação D_A tendo em vista a auto-correcção.

Tabela de estados

Estado Presente				Estado Seguinte			
A	B	C	D	A	B	C	D
0	0	0	0	$X \Rightarrow 1$	0	0	0
0	0	0	1	1	0	0	0
0	0	1	0	0	0	0	1
0	0	1	1	$X \Rightarrow 0$	0	0	1
0	1	0	0	0	0	1	0
0	1	0	1	$X \Rightarrow 0$	0	1	0
0	1	1	0	$X \Rightarrow 0$	0	1	1
0	1	1	1	$X \Rightarrow 0$	0	1	1
1	0	0	0	$X \Rightarrow 0$	1	0	0
1	0	0	1	$X \Rightarrow 0$	1	0	0
1	0	1	0	$X \Rightarrow 0$	1	0	1
1	0	1	1	$X \Rightarrow 0$	1	0	1
1	1	0	0	$X \Rightarrow 0$	1	1	0
1	1	0	1	$X \Rightarrow 0$	1	1	0
1	1	1	0	$X \Rightarrow 0$	1	1	1
1	1	1	1	$X \Rightarrow 0$	1	1	1

Mapa de Karnaugh

A alteração $X \Rightarrow 1$, realizada no mapa de Karnaugh, obriga à transição do estado 0000 para o estado 1000 da sequência desejada.

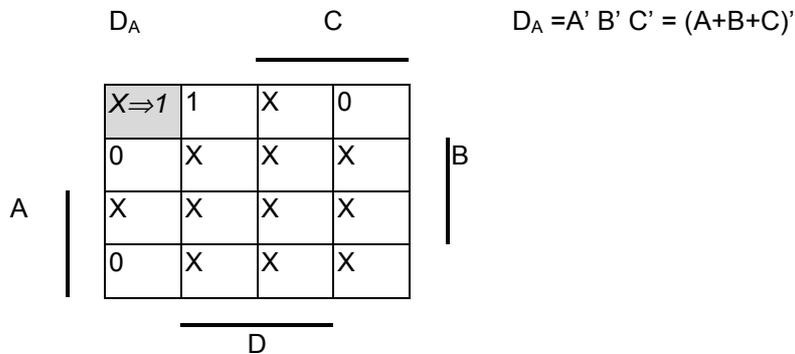
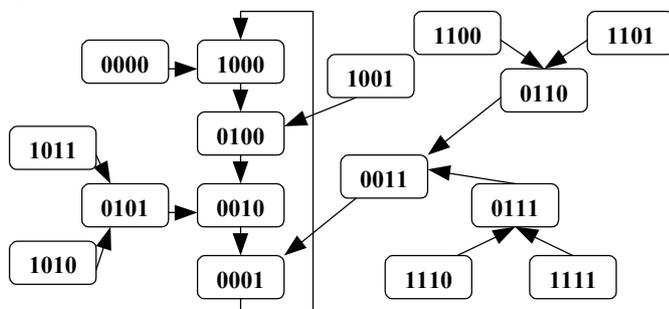
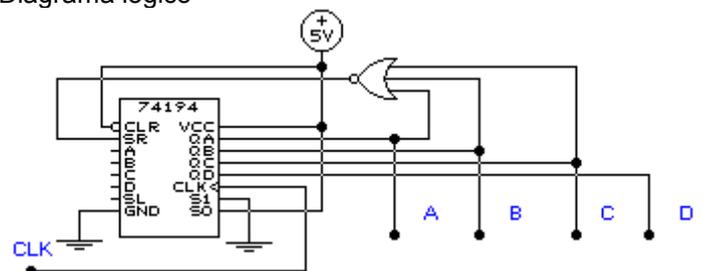


Diagrama de estados



Circuito auto-corrector!!

Diagrama lógico



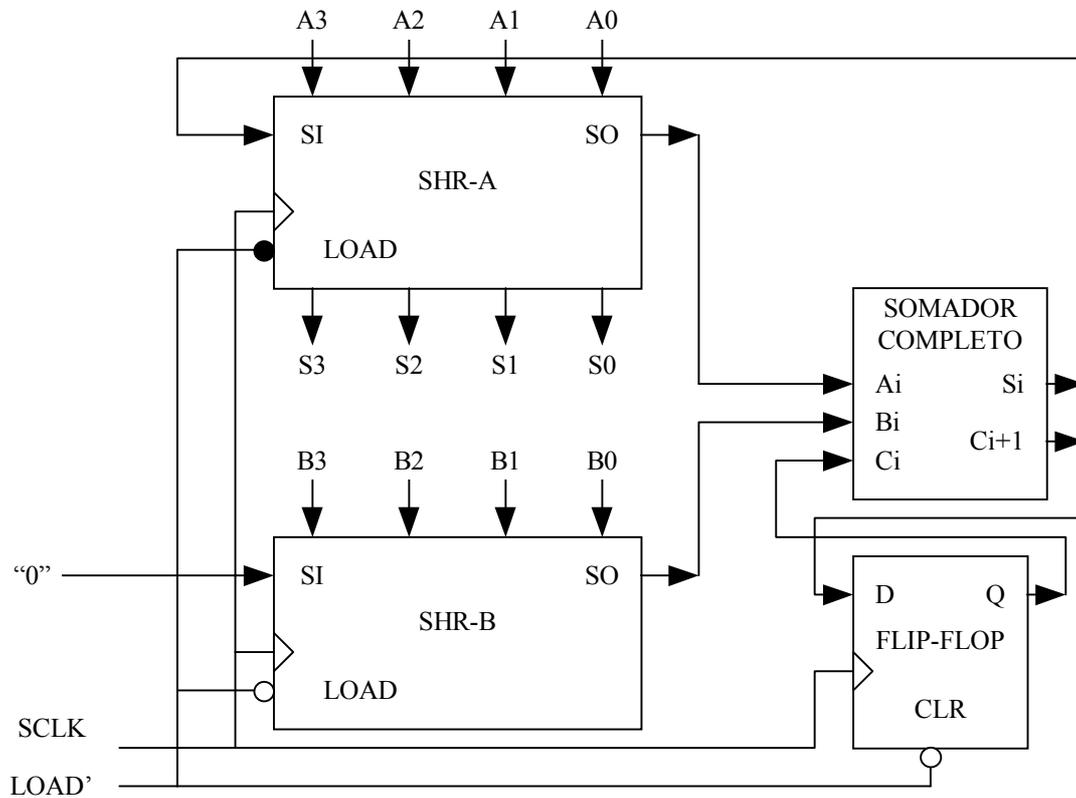
Somador série de 4 Bits

O circuito da figura realiza a adição binária dos valores A (A3 A2 A1 A0) e B (B3 B2 B1 B0)

A entrada LOAD' permite:

- a inicialização do flip-flop com o valor 0;
- a inicialização do registo de deslocamento SHR-A com os valores A3, A2, A1, A0;
- a inicialização do registo de deslocamento SHR-B com os valores B3, B2, B1, B0;

Depois de serem carregados os valores a adicionar, a entrada SOMA está activa durante 4 impulsos de CLK (entrada SLCK), durante os quais a operação de soma é realizada. O resultado é obtido nas saídas do registo de deslocamento SHR-A.



$SLCK = SOMA' + CLK$

Simulação com A=0011 e B=0111 (S=1010)

