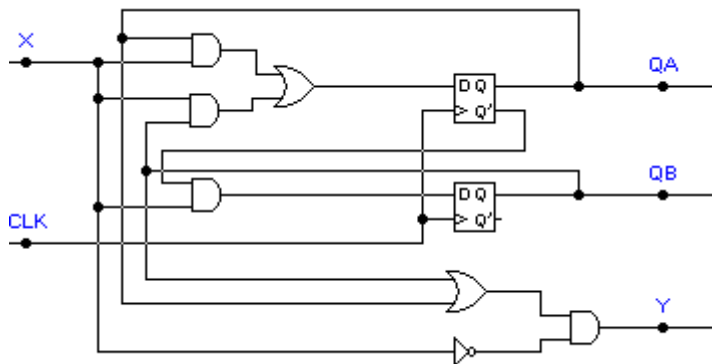


Trabalho Prático Nº 5

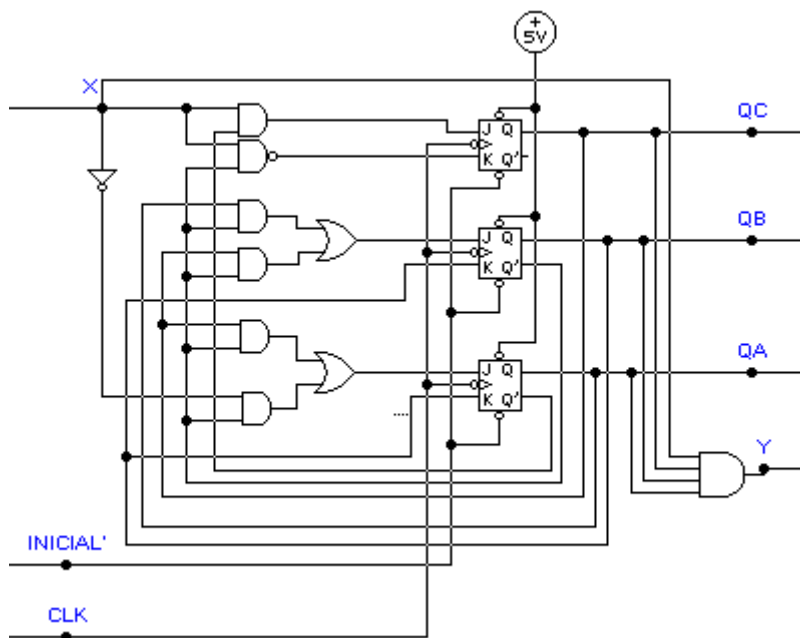
Análise de Circuitos Sequenciais

1-Efectue a análise dos seguintes circuitos sequenciais síncronos:

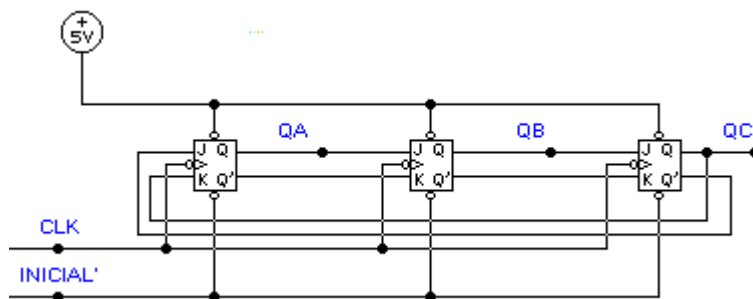
a)



b)



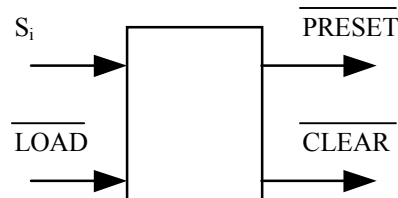
c)



2-Implemente o circuito sequencial síncrono apresentado na alínea 1-c), utilizando dois IC 7476A(Dual JK Negative Edge Triggered Flip-Flops with Preset and Clear).

Utilizando as entradas PRESET e CLEAR dos flip-flops, projecte um novo circuito combinacional que permita inicializar os flip-flops do circuito num estado desejado. Para cada um dos flip-flops, deve ser implementado um circuito de acordo com o diagrama de blocos da figura, onde S_i representa o estado desejado e a entrada LOAD, comum a todos os flip-flops, permite activar a inicialização. O circuito de inicialização deve ser baseado em portas NAND de duas entradas, utilizando para o efeito o IC 7400 (Quad 2-input NAND gate).

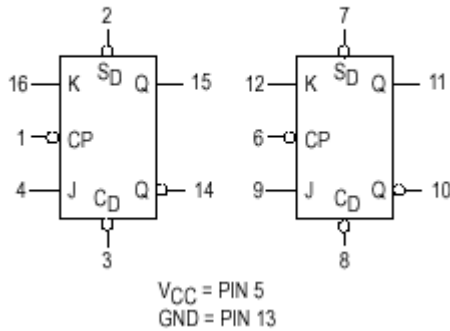
O sinal de relógio deve ser obtido a partir de um dos interruptores sem ruído (“debounced”). Visualize o estado dos flip-flops recorrendo aos LED’s numa configuração em cátodo comum. Verifique se o comportamento do circuito está de acordo com o diagrama de estados.



7476A

Dual JK Negative Edge Triggered Flip-Flops with Preset and Clear

LOGIC SYMBOL



MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS				OUTPUTS	
	S _D	C _D	J	K	Q	$\bar{Q}$
Set	L	H	X	X	H	L
Reset (Clear)	H	L	X	X	L	H
*Undetermined	L	L	X	X	H	H
Toggle	H	H	h	h	q	q
Load "0" (Reset)	H	H	l	h	L	H
Load "1" (Set)	H	H	h	l	H	L
Hold	H	H	l	l	q	q

*Both outputs will be HIGH while both S_D and C_D are LOW, but the output states are unpredictable if S_D and C_D go HIGH simultaneously.

H, h = HIGH Voltage Level

L, l = LOW Voltage Level

X = Immaterial

l, h (q) = Lower case letters indicate the state of the referenced input (or output) one setup time prior to the HIGH-to-LOW clock transition

7400

Quad 2-input NAND gate

