

Trabalho Prático Nº 7

Contadores em anel

1. Introdução

Os contadores em anel apresentam um padrão circulante constante (contadores “standard”) ou que passa por uma negação no extremo do contador (contadores “twisted”).

Sequência de estados (ABCD)

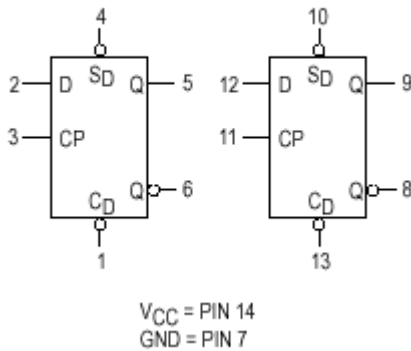
Standard	1000	0100	0010	0001	1000
Twisted	1000	1100	1110	1111	0111 0011 0001 0000 1000 ...

A implementação de contadores deste tipo deve sempre garantir auto-correcção, isto é, qualquer que seja o estado inicial, os contadores devem entrar na sequência principal depois de um número finito de impulsos de relógio.

2. Trabalho a executar

2.1 Implemente um contador em anel standard de 4 bits com auto-correcção. Utilize flip-flops do tipo D (IC 74LS74) e portas NOR de duas entradas (IC 74LS02) para a lógica combinacional do circuito de auto-correcção. Utilizando as entradas PRESET e CLEAR, inicialize o contador no estado 1111 e 1011 e verifique se o comportamento do circuito está de acordo com o diagrama de estados (auto-correcção).

2.2 Implemente um contador em anel twisted de 4 bits com auto-correcção. Utilize o registo de deslocamento de 4 bits (IC 74LS194) e portas NOR de duas entradas (IC 74LS02) para a lógica combinacional do circuito de auto-correcção. Utilizando as entradas em paralelo do IC 74LS194, inicialize o contador em estados que não pertençam à sequência principal e verifique se o comportamento do circuito está de acordo com o diagrama de estados (auto-correcção).

7474**Dual D-Type Positive Edge-Triggered Flip-Flop****LOGIC SYMBOL****MODE SELECT — TRUTH TABLE**

OPERATING MODE	INPUTS			OUTPUTS	
	S _D	C _D	D	Q	Q̄
Set	L	H	X	H	L
Reset (Clear)	H	L	X	L	H
*Undetermined	L	L	X	H	H
Load "1" (Set)	H	H	h	H	L
Load "0" (Reset)	H	H	l	L	H

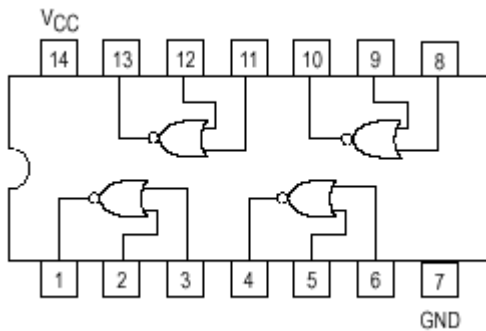
* Both outputs will be HIGH while both S_D and C_D are LOW, but the output states are unpredictable if S_D and C_D go HIGH simultaneously. If the levels at the set and clear are near V_{IL} maximum then we cannot guarantee to meet the minimum level for V_{OH}.

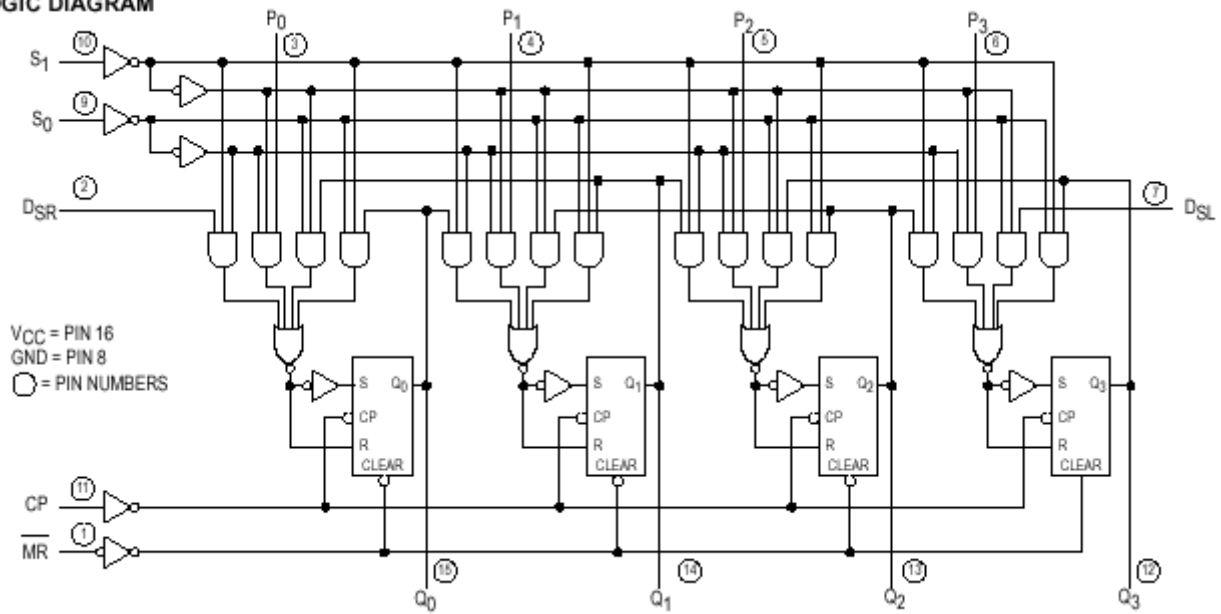
H, h = HIGH Voltage Level

L, l = LOW Voltage Level

X = Don't Care

i, h (q) = Lower case letters indicate the state of the referenced input (or output) one set-up time prior to the HIGH to LOW clock transition.

7402**Quad 2 input NOR**

74194**4 Bits bi-directional Universal Shift Register****LOGIC DIAGRAM****MODE SELECT — TRUTH TABLE**

OPERATING MODE	INPUTS						OUTPUTS			
	MR	S ₁	S ₀	D _{SR}	D _{SL}	P _n	Q ₀	Q ₁	Q ₂	Q ₃
Reset	L	X	X	X	X	X	L	L	L	L
Hold	H	l	l	X	X	X	q ₀	q ₁	q ₂	q ₃
Shift Left	H	h	l	X	l	X	q ₁	q ₂	q ₃	L
	H	h	l	X	h	X	q ₁	q ₂	q ₃	H
Shift Right	H	l	h	l	X	X	L	q ₀	q ₁	q ₂
	H	l	h	h	X	X	H	q ₀	q ₁	q ₂
Parallel Load	H	h	h	X	X	P _n	P ₀	P ₁	P ₂	P ₃

L = LOW Voltage Level

H = HIGH Voltage Level

X = Don't Care

l = LOW voltage level one set-up time prior to the LOW to HIGH clock transition

h = HIGH voltage level one set-up time prior to the LOW to HIGH clock transition

P_n (q_n) = Lower case letters indicate the state of the referenced input (or output) one set-up time prior to the LOW to HIGH clock transition.