

Circuitos Integrados

Um pouco de história...

Existem varias maneiras de projectar dispositivos electrónicos lógicos. No anos 30, os laboratórios da Bell conceberam o primeiro dispositivo lógico recorrendo a relés. O primeiro computador digital, "Eniac", desenvolvido nos anos 40, utilizava circuitos lógicos baseados em tubos de vácuo. A invenção do díodo semiconductor e do transistor bipolar permitiu o desenvolvimento de sistemas computacionais de menor dimensão, maior rapidez e maior capacidade de processamento. Nos anos 60, o desenvolvimento tecnológico permitiu a integração de díodos, transístores e outros componentes electrónicos num único dispositivo, o circuito integrado (CI). Surge, assim, a primeira família de CI's, baseados no mesmo tipo de circuitos internos e com características de entrada e saída semelhantes, com capacidade de implementar diferentes tipos de funções lógicas.

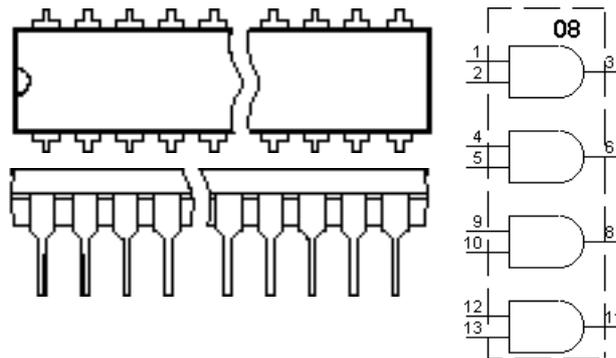
De entre os vários tipos de circuitos internos dos CI's, conseqüentemente de famílias lógicas, destaca-se a família TTL ("Transistor –Transistor Logic"), introduzida nos anos 60 e utilizada em larga escala. No entanto, 10 anos antes da invenção do transistor bipolar, foi patenteado o transistor MOSFET ("metal-oxide semiconductor field effect transistor (MOSFET)" ou apenas transistor MOS. Na altura, era reduzida a sua aplicabilidade devido à dificuldade de fabrico e a velocidades reduzidas de operação. Com os desenvolvimentos tecnológicos nesta área assiste-se, actualmente, à substituição da tecnologia TTL pela tecnologia MOS e, particularmente, pela tecnologia CMOS ("Complementary MOS"). Hoje em dia, a grande maioria dos circuitos com níveis de integração em larga escala, tais como memórias e microprocessadores, utilizam a tecnologia CMOS. No entanto, devido à grande popularidade dos CI's TTL, a maioria das famílias CMOS são projectadas de modo a serem parcial ou mesmo totalmente compatíveis com a família TTL.

- ◆ Circuito Integrado – componentes electrónicos, integrados num único dispositivo, que implementam funções lógicas elementares ou outras funções mais complexas.

Exemplo:

74LS08

O circuito 74LS08 da série 74, sub-família TTL-LS, disponibiliza um conjunto de 4 portas AND de duas entradas.



- ◆ Classificação quanto ao nível de integração:

Tipo de circuito integrado	Nº de portas lógicas
SSI ("Small-scale integrated")	<10
MSI ("Medium-scale integrated")	De 10 a 100
LSI ("Large-scale integrated")	De 100 a algumas centenas
VLSI ("Very large-scale integrated")	De algumas centenas até 100 milhões

- ◆ Cada fabricante disponibiliza as especificações técnicas e funcionais dos CI's ("data sheets"/"data book").

Famílias lógicas

- ◆ Conjunto de circuitos integrados que têm em comum a mesma tecnologia de fabrico.
- ◆ Principais famílias: TTL ("Transistor Transistor Logic") e CMOS ("Complementary metal-oxide semiconductor").
- ◆ Principais características:
 - Níveis lógicos, compatibilidade de tensões e margem de ruído;
 - Compatibilidade de correntes (Fan-out, Fan-in);
 - Tempos de propagação;
 - Potência dissipada;
 - Tipo de saídas;
 - Tipo de entradas.

Família lógica TTL

Níveis lógicos, compatibilidade de tensões e margem de ruído

A representação física dos níveis lógicos nas entradas e saídas dos CI's da família TTL tem por base as seguintes características (valores disponíveis pelos fabricantes) :

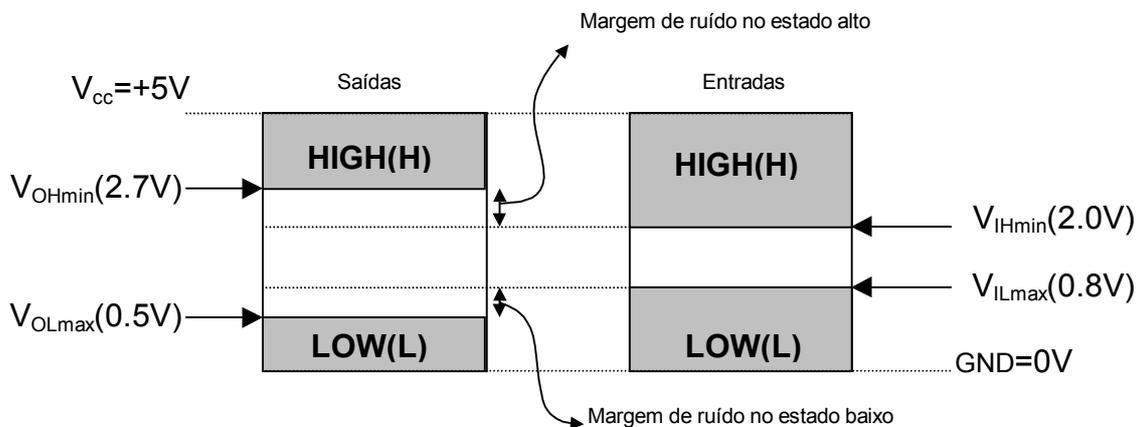
V_{OHmin} – valor mínimo de tensão na saída no estado alto (HIGH-H) - 2.7V para a maioria das sub-famílias.

V_{IHmin} – valor mínimo de tensão na entrada reconhecido como estado alto (HIGH-H) - 2.0V para a maioria das sub-famílias.

V_{ILmax} – valor máximo de tensão na entrada reconhecido como estado baixo (LOW-L) – 0.8V para a maioria das sub-famílias.

V_{OLmax} – valor máximo de tensão na saída no estado baixo (LOW-L) – 0.5V para a maioria das sub-famílias.

Para garantir a compatibilidade de níveis de tensão, a tensão de saída, nos dois níveis lógicos, deve estar contida nos intervalos de variação admissíveis para a tensão de entrada.



Conforme se pode observar na figura, os intervalos de variação para as entradas são superiores aos intervalos de variação para as saídas, permitindo que os CI's sejam tolerantes a pequenas variações indesejáveis (ruído eléctrico). A margem de ruído é definida por:

$$V_{OHmin} - V_{IHmin} = 2.7V - 2.0V = 0.7V \text{ para o estado alto;}$$

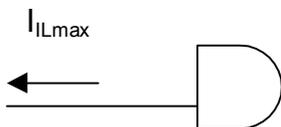
$$V_{ILmax} - V_{OLmax} = 0.8V - 0.5V = 0.3V \text{ para o estado baixo;}$$

Compatibilidade de correntes (Fan-in e Fan-out)

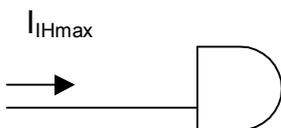
Para garantir a compatibilidade de correntes, as correntes debitadas ou absorvidas pelas entradas, quando colocados ao nível alto ou baixo, devem ser comportáveis pelas saídas, sem que os níveis de tensão de saída saiam dos intervalos admissíveis.

Especificações dos fabricantes:

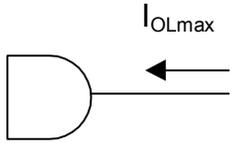
I_{ILmax} – corrente máxima debitada pela entrada no estado baixo – (-0.4mA para a sub-família LS-TTL).



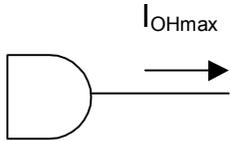
I_{IHmax} – corrente máxima absorvida pela entrada no estado alto – (20µA para a sub-família LS-TTL).



I_{OLmax} – corrente máxima que pode ser absorvida pela saída no estado baixo – (8mA para a sub-família LS-TTL).



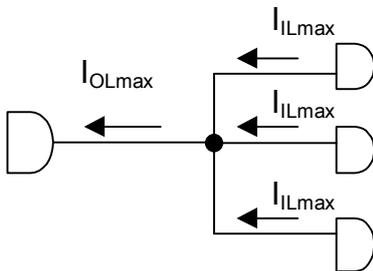
I_{OHmax} – corrente máxima que pode ser debitada pela saída no estado alto – ($-400\mu A$ para a sub-família LS-TTL).



♦ Fan-out

Na interligação dos circuitos integrados, devem ser respeitadas as condições definidas para os valores máximos de corrente, resultando numa limitação do número de entradas que uma saída pode alimentar.

Para a saída no estado baixo (L):

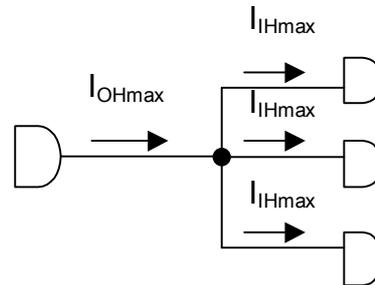


Se considerarmos I_{ILmax} igual para todas as entradas (utilizando CI's da mesma sub-família), obtém-se:

$$I_{OLmax} \geq N_L \cdot I_{ILmax}$$

onde N_L representa o número de entradas alimentadas por uma saída no estado baixo (L).

Para a saída no estado alto (H):



Se considerarmos I_{IHmax} igual para todas as entradas (utilizando CI's da mesma sub-família), obtém-se:

$$I_{OHmax} \geq N_H \cdot I_{IHmax}$$

onde N_H representa o número de entradas alimentadas por uma saída no estado alto (H).

Para uma determinada sub-família, o número máximo de entradas que uma saída pode alimentar, designado por "fan-out", corresponde ao valor mínimo de N_L e N_H que verifica simultaneamente as desigualdades definidas anteriormente, ou seja,

$$\text{Fanout} = N = \text{mínimo}(N_L, N_H)$$

$$\text{Fanout} = N = \text{mínimo}(I_{OLmax}/I_{ILmax}, I_{OHmax}/I_{IHmax})$$

Para os CI's da sub-família LS-TTL:

$$\text{Fanout} = N = \text{mínimo}(I_{OLmax}/I_{ILmax}, I_{OHmax}/I_{IHmax})$$

$$\text{Fanout} = N = \text{mínimo}(8\text{mA}/0.4\text{mA}, 400\mu\text{A}/20\mu\text{A}) = 20$$

Para os CI's da sub-família S-TTL:

$$\text{Fanout} = N = \text{mínimo}(20\text{mA}/2\text{mA}, 1000\mu\text{A}/50\mu\text{A}) = \text{mínimo}(10, 20) = 10$$

♦ Fan-in - Número máximo de entradas de uma porta lógica dum CI de uma determinada sub-família.

Tempos de propagação

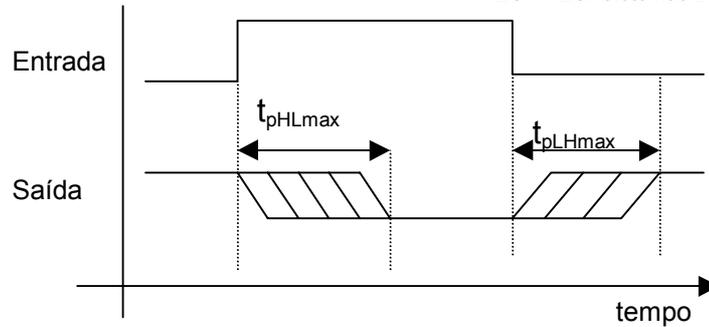
As portas lógicas são dispositivos físicos, reais, e como tal não reagem a variações de entrada com velocidade infinita. É necessário um certo tempo para que uma variação na entrada se propague para a saída. É, afinal, este tempo finito que faz com que os computadores não operem a frequências infinitas. O tempo que uma determinada porta demora a reagir não é definido com completo rigor, até porque depende, entre outros factores, das condições de temperatura. Os fabricantes dos CI's definem, por isso, um limite máximo para esse tempo.

Especificações dos fabricantes:

T_{pLH} – tempo máximo de propagação quando a saída transita do nível baixo(L) para o nível alto(H).

T_{pHL} – tempo máximo de propagação quando a saída transita do nível alto(H) para o nível baixo(L).

T_p – tempo de propagação igual ao valor máximo de T_{pLH} e T_{pHL} .



Potência dissipada

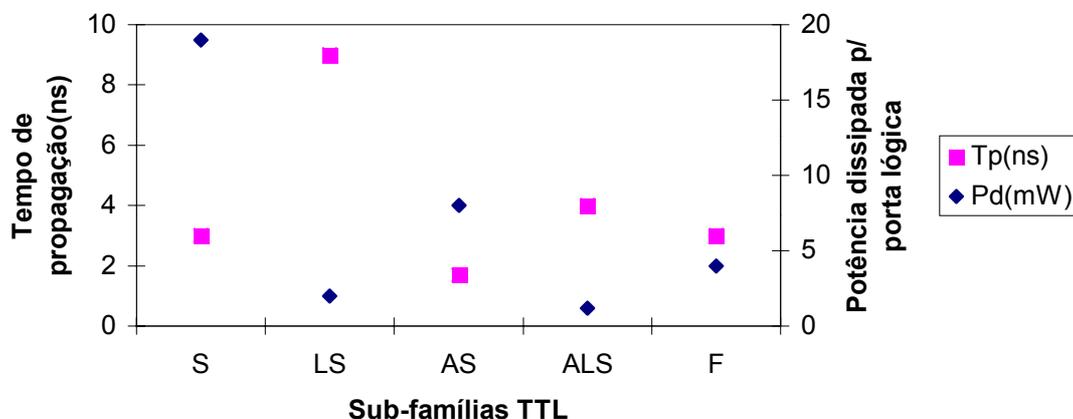
Os tempos de propagação estão directamente relacionados com a potência dissipada. Dentro dos limites da tecnologia disponível num dado momento, é possível construir circuitos mais rápidos, mas que apresentam maior potência dissipada, ou circuitos mais lentos, mas que apresentam menor potência dissipada.

Sub-famílias TTL

Todos os circuitos TTL têm compatibilidade de tensão e entre quaisquer 2 circuitos há compatibilidade de correntes com um valor de N de pelo menos 2 (uma saída pode alimentar duas entradas). Os circuitos TTL encontram-se divididos em sub-famílias, dentro das quais existe compatibilidade de um valor de N de pelo menos 10. De sub-família para sub-família os circuitos são idênticos do ponto de vista lógico, mas diferem nas correntes e tempos de propagação/potência dissipada.

Principais sub-famílias: S, LS, AS, ALS e F.

	Sub-famílias				
	S	LS	AS	ALS	F
Tempo de propagação (ns)	3	9	1.7	4	3
Potência dissipada p/ porta lógica (mW)	19	2	8	1.2	4



Séries TTL

Relativamente às condições de temperatura, os circuitos TTL dividem-se nas séries 54 e 74. A série 54 é utilizada em ambientes com temperaturas que podem variar entre -55°C e 125°C , normalmente utilizada em aplicações de âmbito militar, enquanto que os CI's da série 74, de aplicação mais generalizada, estão fabricados de modo a operar em condições ambientais com temperaturas a variar entre 0°C e 70°C .

Identificação dos CI's

A identificação base do CI's segue o formato XX FAM NNN, onde:

- XX representa a série 54 ou 74;
- FAM representa a sub-família;
- NNN representa o número da função lógica implementada no CI.

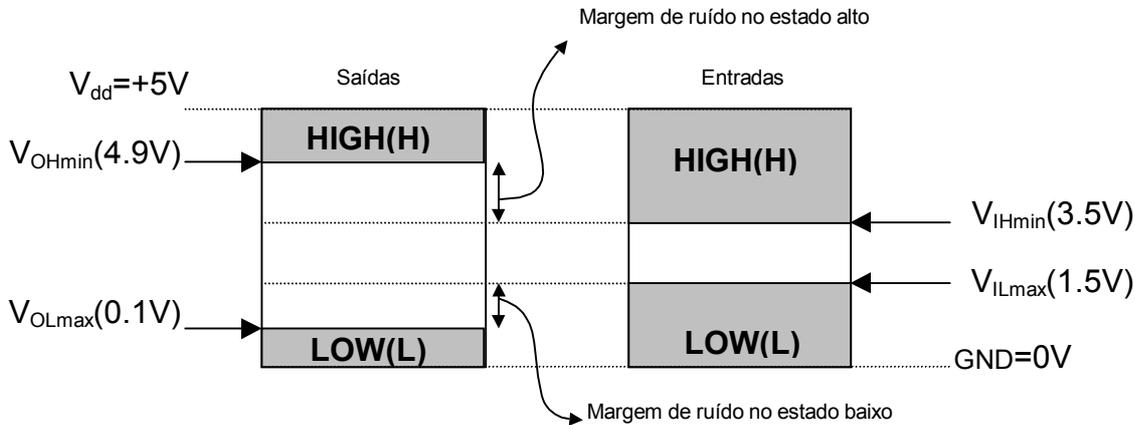
Exemplo: O circuito integrado 74LS08, pertence à série 74, sub-família TTL-LS e implementa a função lógica 08 (4 portas AND de 2 entradas).

Outras referências são normalmente adicionadas para definir, entre outras características, o tipo de invólucro.

Família lógica CMOS

Níveis lógicos, compatibilidade de tensões e margem de ruído

Devido à possibilidade de se aplicar diferentes níveis de tensão de alimentação (V_{dd}), apresentam-se as especificações típicas para a sub-família HC-CMOS com tensão de alimentação $V_{dd}=+5V$. Nesta sub-família, um nível de tensão entre 0V e 1.5V é interpretado como estado baixo(LOW-L) e um nível de tensão entre 3.5V e 5V é interpretado como estado alto(HIGH-H). Relativamente às saídas, estas são colocadas a pelo menos 4.9V no nível alto (HIGH-H) e abaixo de 0.1V para o nível baixo (LOW-L).



Nesta sub-família, a margem de ruído no estado baixo ou alto é de 1.4V, valor bastante superior ao definido para as famílias TTL.

Em alguns casos, as especificações definidas para os níveis de tensão são função da tensão de alimentação V_{dd} :

$$\begin{aligned} V_{OHmin} &= V_{dd} - 0.1V \\ V_{IHmin} &= 70\% \text{ de } V_{dd} \\ V_{ILmax} &= 30\% \text{ de } V_{dd} \\ V_{OLmax} &= 0.1V \end{aligned}$$

Compatibilidade de correntes(Fan-out)

Ao contrário do que acontece com os CI's TLL, a intensidade de corrente absorvida ou debitada por uma entrada CMOS ($I_{ILmax}=I_{IHmax}=I_{Imax}$) é, devido à alta impedância de entrada, um valor baixo, aproximadamente de $\pm 1\mu A$.

Para a sub-família HC-CMOS, $I_{OLmax} = 20\mu A$, $I_{OHmax} = -20\mu A$, o que define um fan-out de 20, ou seja, uma saída HC-CMOS pode alimentar 20 entradas HC-CMOS.

Tempos de propagação

À semelhança dos CI's TTL, as especificações definem os tempos de propagação:

T_{pLH} – tempo máximo de propagação quando a saída transita do nível baixo(L) para o nível alto(H).

T_{pHL} – tempo máximo de propagação quando a saída transita do nível alto(H) para o nível baixo(L).

T_p – tempo de propagação igual ao valor máximo de T_{pLH} e T_{pHL} .

Outros tempos de propagação ou atraso poderão ser definidos dependendo da funcionalidade do circuito ou do caminho que um determinado sinal percorre até provocar alteração de estado numa ou mais saídas.

Sub-famílias CMOS

- ◆ Sub-família 4000:
 - níveis baixos de potência dissipada;
 - tempos de propagação elevados;
 - dificuldade na interligação com CI's TTL.
- ◆ Sub-família HC e HCT:

Estas foram as primeiras sub-famílias a utilizar a designação XX FAM NNN, em concordância com as sub-famílias TTL.

Sub-família HC:

 - otimizada para sistemas constituídos apenas por este tipo de CI's;
 - menores tempos de propagação e maior capacidade de debitar e absorver correntes, comparativamente com a sub-família 4000;

- podem utilizar tensões de alimentação (V_{dd}) de 2V a 6V – quanto maior a tensão de alimentação, menor o tempo de propagação e maior a potência dissipada;
- não é totalmente compatível com sub-famílias TTL, mesmo utilizando uma tensão de alimentação de 5V, devido à incompatibilidade de níveis de tensão.

Sub-família HCT (T de compatível TTL):

- especificações técnicas idênticas à sub-família HC, diferindo apenas nos níveis de tensão por forma serem totalmente compatíveis com sub-famílias TTL.

♦ Sub-família AC e ACT:

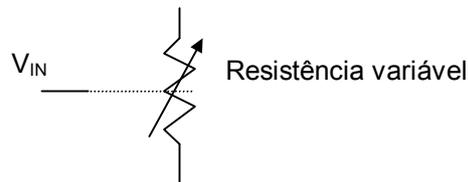
- menores tempos de propagação e maior capacidade de debitar e absorver correntes, comparativamente com as sub-famílias HC e HCT;
- a sub-família ACT é totalmente compatível com sub-famílias TTL.

♦ Sub-família FCT :

- menores tempos de propagação e menor potência dissipada, comparativamente com as sub-famílias AC e ACT;
- total compatibilidade com sub-famílias TTL.

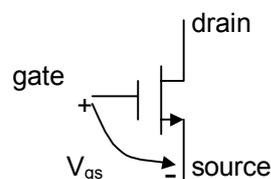
Estrutura interna dos circuitos integrados CMOS

A estrutura interna dos CI's CMOS é de fácil interpretação, já que na sua base estão dois tipos de transístores MOS com um comportamento que pode ser considerado digital binário. O funcionamento de um transístor MOS pode ser comparado ao de uma resistência variável, cujo valor depende do nível de tensão aplicado (V_{IN}), conforme se descreve na figura.



Tipos de transístores MOS

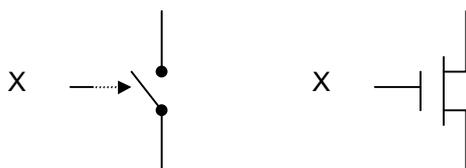
♦ “n-channel MOS” ou NMOS



Resistência R_{ds} (drain-source) controlada pela tensão V_{gs}

$V_{gs} \geq 0$
 V_{gs} aumenta $\rightarrow R_{ds}$ diminui

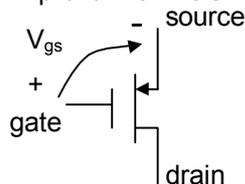
Considerando apenas níveis máximo e mínimo para V_{gs} , o transístor NMOS pode ser comparado a um comutador cujo estado (aberto ou fechado) é controlado por um nível lógico X.



Trata-se de um comutador normalmente aberto:

X=L comutador aberto (OFF)
 X=H comutador fechado (ON)

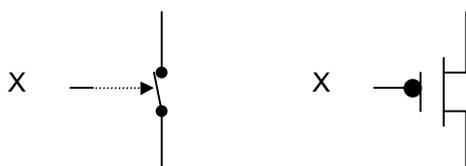
♦ “p-channel MOS” ou PMOS



Resistência R_{ds} controlada pela tensão V_{gs}

$V_{gs} \leq 0$
 V_{gs} diminui $\rightarrow R_{ds}$ diminui

Considerando apenas níveis máximo e mínimo para V_{gs} , o transístor PMOS pode ser comparado a um comutador cujo estado (aberto ou fechado) é controlado por um nível lógico X.



Trata-se de um comutador normalmente fechado:

X=L comutador fechado (ON)
 X=H comutador aberto (OFF)

Estrutura interna de uma porta inversora CMOS (NOT)

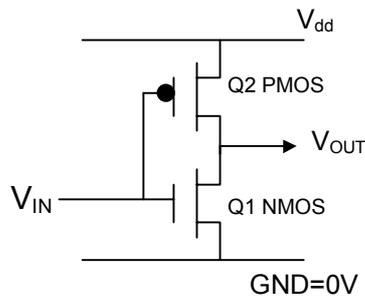


Tabela funcional

V_{IN}	Q1 (NMOS)	Q2 (PMOS)	V_{OUT}
0V(L)	Off	On	5V(H)
5V(H)	On	Off	0V(L)

O Transistor Q1 NMOS efectua a ligação entre V_{OUT} e GND, enquanto que o transistor Q2 PMOS efectua a ligação entre V_{OUT} e V_{dd} .

Estrutura interna de uma porta NAND CMOS

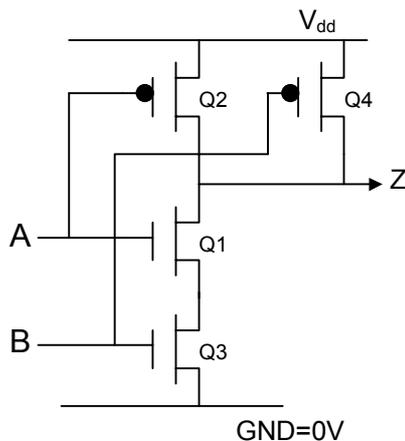


Tabela funcional

A	B	Q1	Q2	Q3	Q4	Z
L	L	Off	On	Off	On	H
L	H	Off	On	On	Off	H
H	L	On	Off	Off	On	H
H	H	On	Off	On	Off	L

Quando $A=L$ ou $B=L$ estabelece-se a ligação entre V_{dd} e a saída Z (H) através de um dos transistores PMOS Q2 ou Q4 em paralelo. Apenas quando, simultaneamente, $A=H$ e $B=H$ é estabelecida a ligação entre GND e a saída Z(L) através dos transistores NMOS Q1 e Q3 em série.

Para implementar portas NAND com um número maior de entradas, seriam adicionados transistores PMOS em paralelo com Q2 e Q4 e transistores NMOS em série com Q1 e Q3.

Estrutura interna de uma porta NOR CMOS

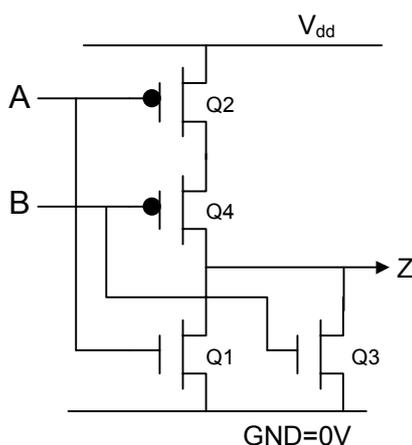


Tabela funcional

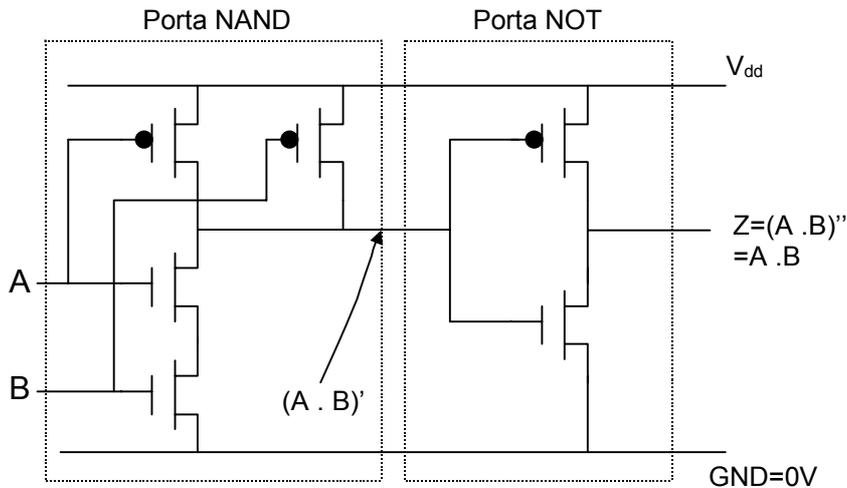
A	B	Q1	Q2	Q3	Q4	Z
L	L	Off	On	Off	On	H
L	H	Off	On	On	Off	L
H	L	On	Off	Off	On	L
H	H	On	Off	On	Off	L

Quando $A=H$ ou $B=H$ estabelece-se a ligação entre GND e a saída Z (L) através de um dos transistores NMOS Q1 ou Q3 em paralelo. Apenas quando, simultaneamente, $A=L$ e $B=L$ é estabelecida a ligação entre V_{dd} e a saída Z(H) através dos transistores PMOS Q2 e Q4 em série.

Para implementar portas NOR com um número maior de entradas, seriam adicionados transistores NMOS em paralelo com Q1 e Q3 e transistores PMOS em série com Q2 e Q4.

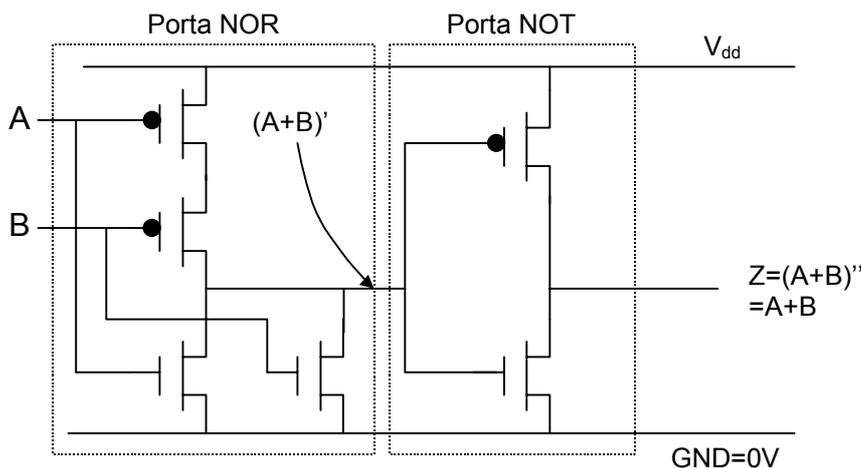
Estrutura interna de uma porta AND CMOS

A porta AND CMOS é realizada através de uma porta NAND em série com uma porta NOT.



Estrutura interna de uma porta OR CMOS

A porta OR CMOS é realizada através de uma porta NOR em série com uma porta NOT.



Estruturas complexas CMOS

Recordando a estrutura de uma porta NAND CMOS, verifica-se que a sub-estrutura inferior de transistores NMOS em série garante a ligação de GND à saída Z(L), ou seja, esta sub-estrutura implementa a função:

$X = A \cdot B$ (sinal de produto (\cdot) associado aos transistores em série).

Por seu lado, a sub-estrutura superior de transistores PMOS em paralelo garante a ligação de V_{dd} à saída Z(H), ou seja, esta sub-estrutura implementa a função:

$Y = A + B$ (sinal de soma ($+$) associado aos transistores em paralelo).

Considerando a função original $F = (A \cdot B)'$, verifica-se que:

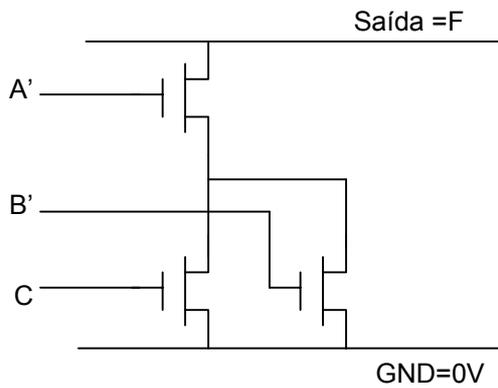
$X = F'$ (função complementada de F);

$Y = F'_d$ (dual da função complementada de F).

Partindo desta observação, podem ser implementadas funções mais complexas, como se exemplifica em seguida.

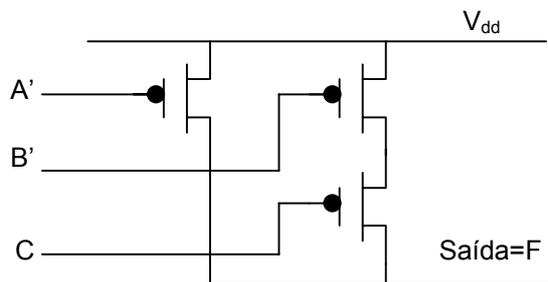
Considere-se a função: $F = A + BC'$

Determina-se a função complementar $F' = A'(B'+C)$, associando uma estrutura de transistores NMOS constituída por um transístor, comandado pela variável A' , em série com um paralelo de transistores, comandados pelas variáveis B' e C , de acordo com a figura.



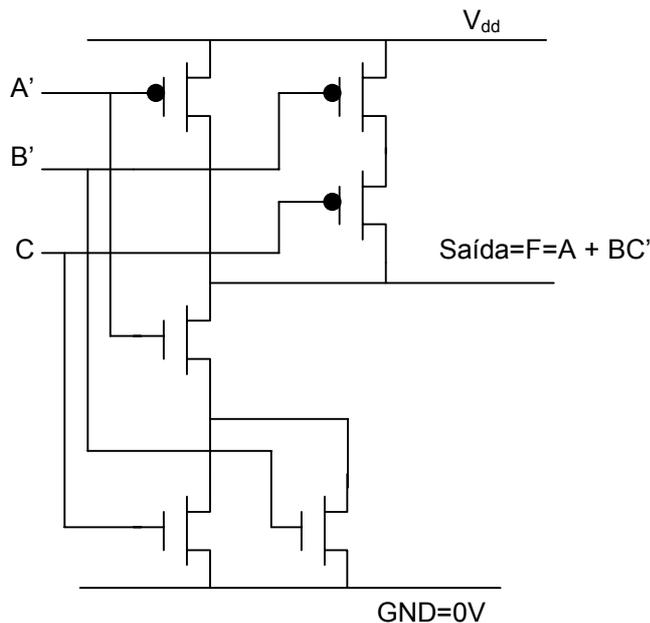
Fica estabelecida a ligação entre a saída e GND ($F=0$) quando, $A'=1$ e $B'=1$ ou $C=1$, ou seja, quando $A=0$ e $B=0$ ou $C=1$.

Determina-se, agora, a função dual $F'_d=A'+(B'C)$, associando uma estrutura de transístores PMOS constituída por um transístor, comandado pela variável A' , em paralelo com transístores em série comandados pelas variáveis B' e C , de acordo com a figura.



Fica estabelecida a ligação entre a saída e V_{dd} ($F=1$) quando $A'=0$ ou $B'=0$ e $C=0$, ou seja, quando $A=1$ ou $B=1$ e $C=0$.

Sobrepondo as duas sub-estruturas, resulta a estrutura complexa CMOS da função $F=A+BC'$



$$F=A+BC'$$

$$F=1 \text{ qd}$$

$$A=1 \text{ ou } BC'=1$$

$$\Leftrightarrow A=1 \text{ ou } (B=1 \text{ e } C'=1)$$

$$\Leftrightarrow A=1 \text{ ou } (B=1 \text{ e } C=0)$$

$$\Leftrightarrow A'=0 \text{ ou } (B'=0 \text{ e } C=0)$$

Ligação de V_{dd} para saída pelo transístor comandado por A' ou pelos transístores em série comandados por B' e C .

$$F=A+BC'$$

$$F=0 \text{ qd}$$

$$A=0 \text{ e } BC'=0$$

$$\Leftrightarrow A=0 \text{ e } (B=0 \text{ ou } C'=0)$$

$$\Leftrightarrow A=0 \text{ e } (B=0 \text{ ou } C=1)$$

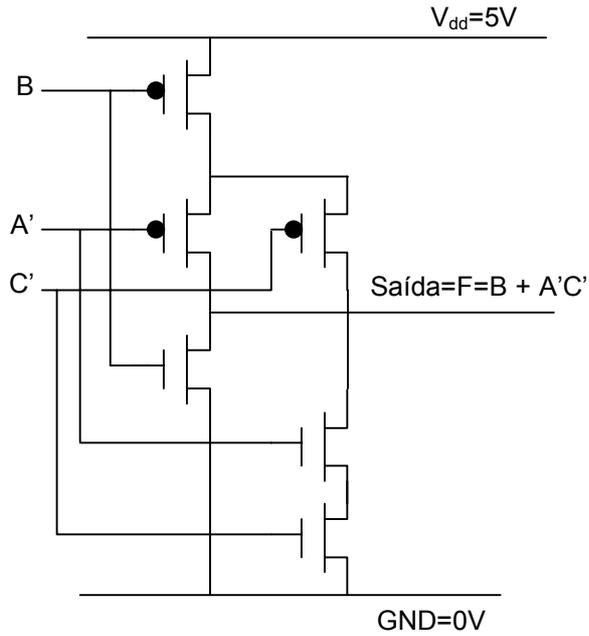
$$\Leftrightarrow A'=1 \text{ e } (B'=1 \text{ ou } C=1)$$

Ligação de GND para saída pelo transístor comandado por A' e por um dos transístores em paralelo comandados por B' e C .

Outro exemplo, $F = B' \cdot (A + C)$

$F' = B + (A'C')$

$F'_d = B \cdot (A' + C')$



$F = B' \cdot (A + C)$

$F = 1$ qd

$B' = 1$ e $(A + C) = 1$

$\Leftrightarrow B' = 1$ e $(A = 1$ ou $C = 1)$

$\Leftrightarrow B = 0$ e $(A' = 0$ ou $C' = 0)$

Ligação de V_{dd} para saída pelo transístor comandado por B e por um dos transístores em paralelo comandados por A' e C'.

$F = B' \cdot (A + C)$

$F = 0$ qd

$B' = 0$ ou $(A + C) = 0$

$\Leftrightarrow B' = 0$ ou $(A = 0$ e $C = 0)$

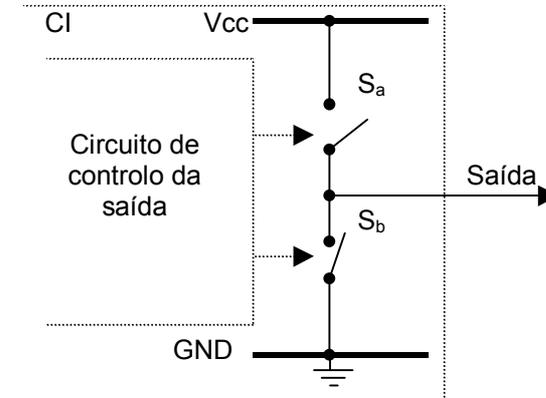
$\Leftrightarrow B = 1$ ou $(A' = 1$ e $C' = 1)$

Ligação de GND para saída pelo transístor comandado por B ou pelos transístores em série comandados por A' e C'.

Tipo de saídas

Saídas em “totem-pole”

A maioria das portas lógicas apresentam-se numa configuração totem-pole, designação que resulta da existência de dois dispositivos de comutação (S_a, S_b) colocados conforme se indica na figura. Na família TTL, estes dispositivos de comutação são na realidade transístores bipolares.

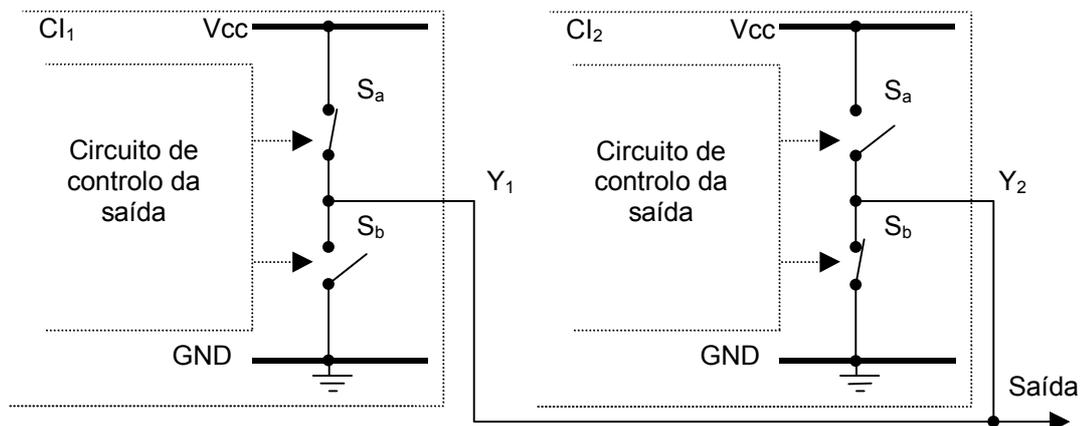


A colocação da saída no estado alto ou baixo é efectuada de acordo com a tabela funcional:

Saída	Comutadores	
	S_a	S_b
1 (alto-H)	Fechado	Aberto
0 (baixo-L)	Aberto	Fechado

Internamente, o controlo dos dois comutadores é realizado de modo a que esteja fechado um e só um dos comutadores.

A interligação de duas ou mais saídas em totem-pole não é praticável. Como se verifica na figura, quando a saída Y_1 é colocada no estado alto(H) e a saída Y_2 é colocada no estado baixo (L), existe um curto-circuito entre V_{cc} e GND através dos comutadores fechados S_a do CI_1 e S_b do CI_2 . Além disso, o estado da saída é imprevisível. Dependendo das características dos circuitos de saída, a tensão pode estar no intervalo de variação para o estado alto, como para o estado baixo, ou ainda no intervalo de indefinição.



Como existe a possibilidade de uma das saídas estar no estado alto e a outra estar no estado baixo, é impraticável ligar entre si saídas em totem-pole. Relembrando que os comutadores são na realidade transístores, existe o perigo da sua destruição.

Saídas em colector aberto (“open-collector/open-drain”)

Neste tipo de saída, em termos da representação simplificada com comutadores, apenas existe o comutador S_b que quando fechado coloca a saída no estado baixo. No circuito externo à saída em colector aberto deve existir uma resistência ligada a V_{cc} (+5V) – resistência de pull-up - para que a saída apresente um valor aceitável no intervalo de variação para o estado alto quando S_b está aberto.

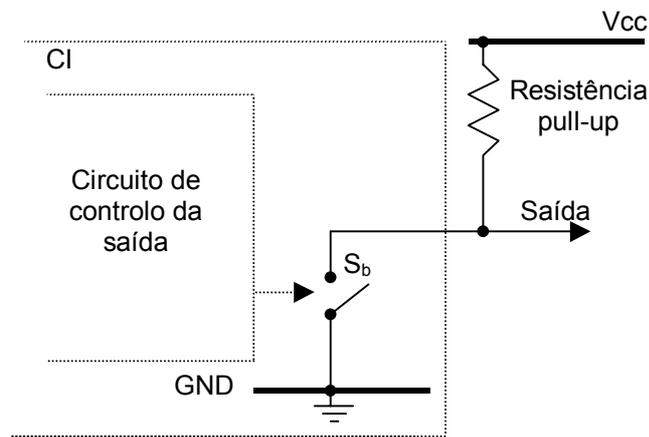
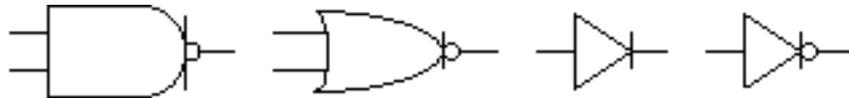


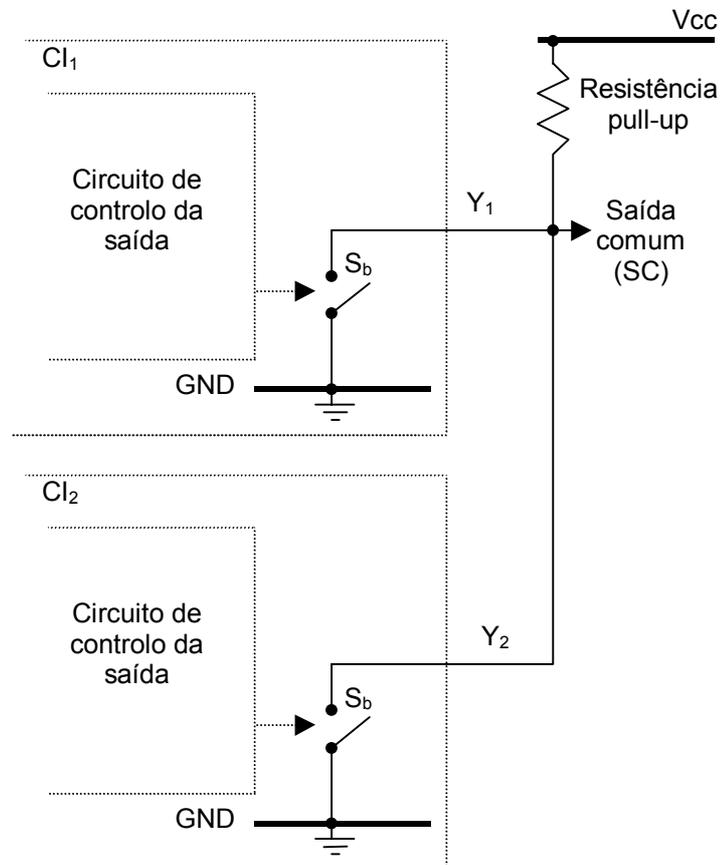
Tabela funcional

Saída	S_b
1 (alto-H)	Aberto
0 (baixo-L)	Fechado

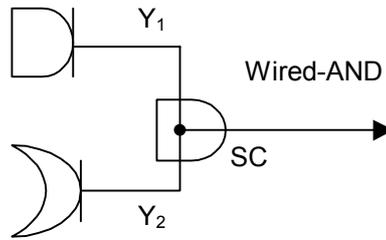
Nos circuitos lógicos, as saídas em colector aberto são representadas com um traço vertical, de acordo com os exemplos da figura.



As saídas dos circuitos em colector aberto têm a possibilidade de interligação a um ponto comum. Conforme se pode verificar na figura, basta que uma das saídas esteja no estado baixo (S_b fechado), para que a saída comum esteja no estado baixo. Por outro lado, a saída comum está ao nível alto se todas as saídas estão ao nível alto (S_b aberto). Resulta, para a saída comum, um comportamento funcional equivalente a uma porta AND designada por porta "Wired-AND".



Nestas condições a função de saída $SC = Y_1 \cdot Y_2$, a que equivale o diagrama lógico da figura.



Saídas de três estados (“tri-state”)

As saídas de três estados são idênticas às saídas em totem-pole, existindo, no entanto, uma entrada adicional (“enable”) que permite que os dois comutadores (S_a e S_b) estejam abertos simultaneamente. Nestas condições diz-se que a saída está num estado de alta impedância (“Hi-Z”), como se estivesse desligada do circuito.

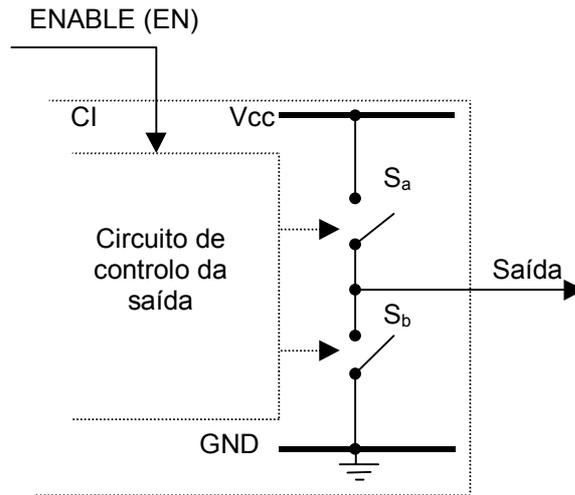
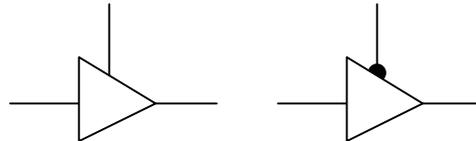


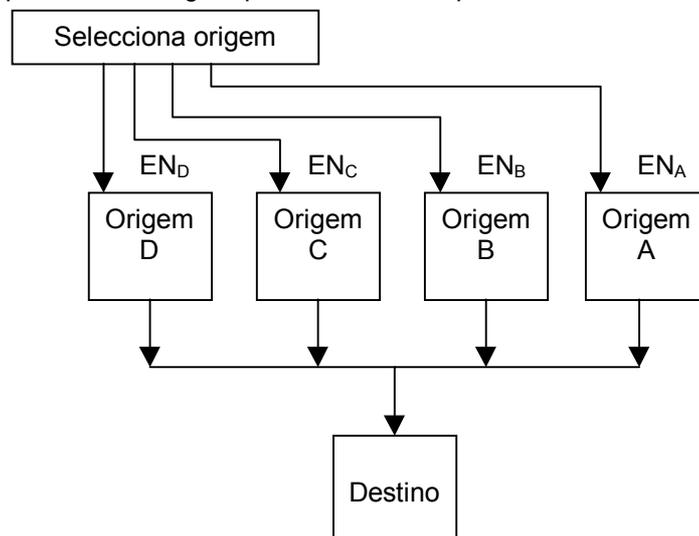
Tabela funcional

ENABLE(EN)	Saída	Comutadores	
		S_a	S_b
0	1 (alto-H)	Fechado	Aberto
0	0 (baixo-L)	Aberto	Fechado
1	Alta impedância (Hi-Z)	Aberto	Aberto

Nos circuitos lógicos, as saídas de três estados são representadas de acordo com os exemplos da figura.



Este tipo de saída tem particular aplicabilidade quando se pretende, através de um linha comum, enviar dados de diferentes dispositivos de origem para um único dispositivo de destino.



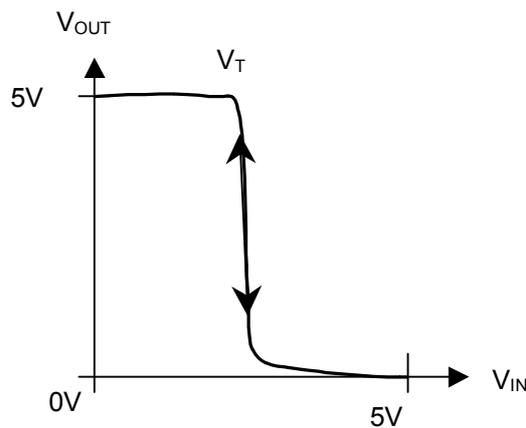
No diagrama de blocos da figura anterior, os dispositivos de origem têm saídas de três estados e o bloco de selecção de origem define, através das saídas EN_D , EN_C , EN_B e EN_A , qual a fonte de dados para o único dispositivo de destino, de acordo com a tabela funcional:

EN_D	EN_C	EN_B	EN_A	Destino
1	0	0	0	Origem D
0	1	0	0	Origem C
0	0	1	0	Origem B
0	0	0	1	Origem A

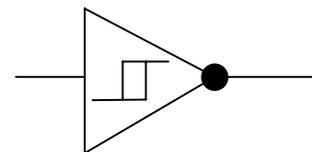
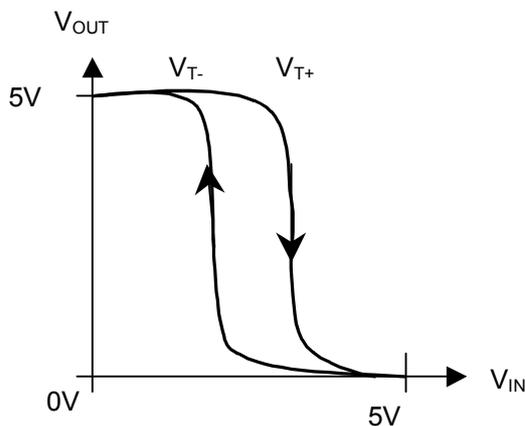
Entradas Schmitt-Trigger

Em algumas situações o nível de tensão numa entrada pode ser bastante irregular e apresentar tempos de subida ou descida muito elevados, ou seja, a transição entre estados não é linear. Para estes casos, devem ser utilizadas portas lógicas com entradas "Schmitt-Trigger".

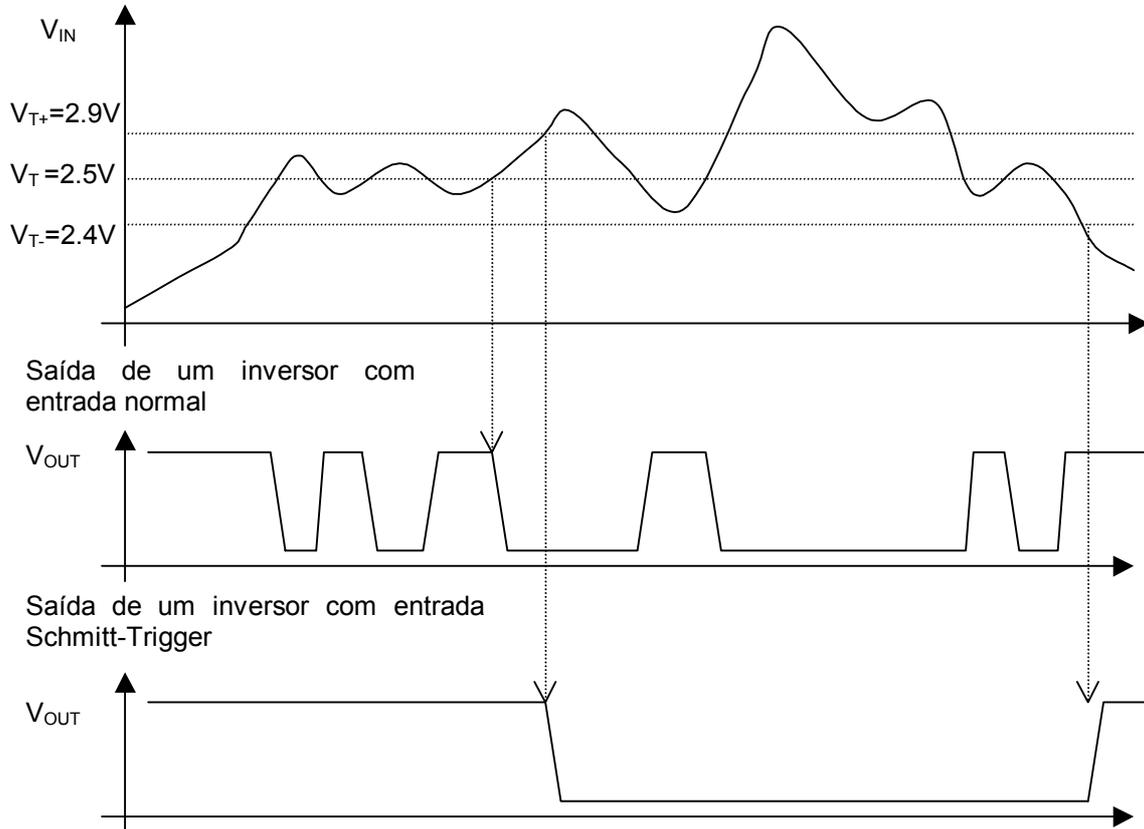
Considere-se um inversor CMOS com entrada normal, cuja função de transferência $V_{OUT}=f(V_{IN})$ é apresentada na figura. Sempre que V_{IN} intersecta o nível de tensão V_T dá-se a transição de estado na saída.



Um inversor com entrada Schmitt-Trigger apresenta um função de transferência $V_{OUT}=f(V_{IN})$ que apresenta níveis distintos (V_{T+} e V_{T-}) de transição de estado na saída conforme se trata de uma transição do estado baixo para o estado alto ou do estado alto para o estado baixo (histerese).



Conforme se pode verificar na figura seguinte, o inversor CMOS com entrada Schmitt-Trigger é mais tolerante a ruído comparativamente a um inversor com entrada normal.

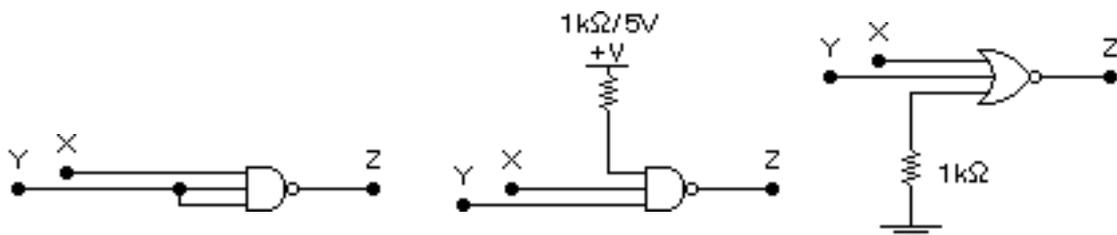


Entradas não utilizadas

Em algumas situações, nem todas as entradas de uma porta lógica são necessárias. Por exemplo, quando é necessária uma porta AND de duas entradas e apenas se tem disponível uma porta AND de 3 entradas. Nos CI's TTL, uma entrada deixada desligada comporta-se com estando ao nível alto (HIGH-H), enquanto que nos CI's CMOS, uma entrada deixada desligada comporta-se como estando ao nível baixo (LOW-L).

Assim sendo, no caso de uma porta AND TTL, como o valor 1 é o elemento neutro do produto lógico, poderíamos não ligar esta entrada. No entanto, esta é uma prática não aconselhável, já que as entradas desligadas são muito sensíveis ao ruído eléctrico. De modo a garantir a fiabilidade do sistema digital, todas as entradas não utilizadas devem ser conectadas a um nível adequado.

Em função do tipo de porta lógica, as entradas não utilizadas devem ser ligadas ao nível alto ou baixo conforme se exemplifica na figura.



O valor da resistência R é calculado em função das correntes máximas admissíveis na(s) entrada(s), de modo a não provocar incompatibilidade nos níveis de tensão.

Lógica positiva e lógica negativa

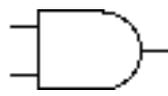
Tem sido normal a utilização, de forma indiferenciada, do valor lógico 1 como nível alto (HIGH-H) e do valor lógico 0 como nível baixo (LOW-L). Neste caso estamos perante um sistema em lógica positiva. Os sistemas em lógica negativa fazem a associação inversa, isto é, ao valor lógico 1 corresponde o nível baixo (LOW-L) e ao valor lógico 0 corresponde o nível alto (HIGH-H). As folhas de especificações dos CI's não fazem referência a valores lógicos (0 e 1) mas a níveis alto e baixo (HIGH-H e LOW-L), deixando ao critério do projectista a implementação do sistema em lógica positiva ou negativa.

Considere-se a tabela funcional de uma porta que refere apenas os níveis alto (H) e baixo (L).

A	B	Z
L	L	L
L	H	L

H	L	L
H	H	H

Num sistema em lógica positiva, teremos o símbolo lógico e a tabela funcional:



A	B	Z=A . B
0	0	0
0	1	0
1	0	0
1	1	1

Num sistema em lógica negativa, teremos o símbolo lógico e a tabela funcional:



A	B	Z=A + B
1	1	1
1	0	1
0	1	1
0	0	0

Identificação dos sinais e níveis de activação

Tem sido frequente a identificação dos sinais de entrada e saída com letras (X, Y, etc.). No entanto, nos sistemas reais, é conveniente atribuir identificadores sugestivos. Os identificadores correspondem, normalmente, a acções (ABRIR, FECHAR) ou condições detectadas (PREPARADO, ERRO).

Cada sinal deve ter associado um nível de activação. Um sinal activo a 1 provoca a acção designada ou indica a ocorrência de uma condição detectada quando estiver a 1. Um sinal activo a 0 tem um comportamento inverso ao referido anteriormente.

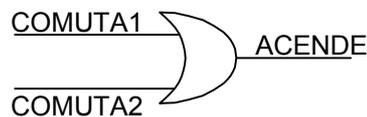
Para uma mais fácil interpretação funcional dos circuitos lógicos, os identificadores de sinais devem indicar o respectivo nível de activação. Os identificadores de sinais activos a zero são precedidos do símbolo /, como por exemplo /ERRO.

Supondo que dois comutadores digitais COMUTA1 e COMUTA2 controlam o acender de uma lâmpada. Sempre que um dos comutadores está activo a lâmpada deve acender (ACENDE). É possível construir diferentes circuitos em lógica positiva para este sistema, em função dos níveis de activação dos sinais de entrada e de saída.

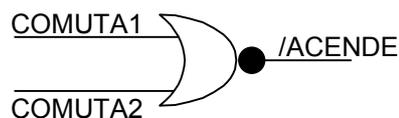
Níveis de activação

COMUTA1 e COMUTA2 activos a 1
ACENDE activo a 1

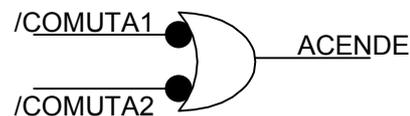
Circuito lógico



COMUTA1 e COMUTA1 activos a 1
ACENDE activo a 0



COMUTA1 e COMUTA2 activos a 0
ACENDE activo a 1



COMUTA1 e COMUTA2 activos a 0
ACENDE activo a 0

