

Síntese de circuitos sequenciais síncronos(Máquinas de estados finitos)

O procedimento para o projecto (síntese) de um circuito sequencial síncrono, a partir da descrição verbal do funcionamento do circuito, é o procedimento inverso ao realizado no processo de análise deste tipo de circuitos.

Método sistematizado de síntese

- 1- Analisar as especificações do circuito (descrição verbal), obtendo um primeiro diagrama de estados (representados por identificadores).
- 2- Minimizar o número de estados, eliminando eventuais estados redundantes. Um estado é redundante se existir outro estado equivalente no diagrama, isto é, se existir outro estado que para as mesmas especificações das entradas apresente o mesmo estado seguinte e as mesmas especificações de saída.
- 3- Proceder à codificação de estados. Nesta fase determina-se, em primeiro lugar, o número de células da unidade de memória. Normalmente, considera-se o expoente da menor potência de base 2 (2^N) que seja maior ou igual ao número de estados do circuito. Refira-se que podem existir situações em que um número maior de células de memória pode conduzir a um circuito globalmente mais simples. Em segundo lugar, é necessário atribuir um código binário a cada um dos estados (código de estado). A atribuição dos códigos de estado condiciona a complexidade da lógica combinacional envolvente (descodificador de estado seguinte e descodificador de saída). As “regras” a seguir enunciadas tendem a minimizar a complexidade destes circuitos.

Regras:

1. Escolher para o estado inicial do circuito um código binário facilmente obtido através da inicialização assíncrona do circuito (tudo a 0's ou 1's);
2. Tentar associar aos bits ou conjunto de bits do código de estado um significado relacionado com as entradas ou saídas.
3. Minimizar o número de bits do código de estado que mudam em cada transição entre estados.
- 4- Construir a tabela de estados para flip-flops D.
- 5- Determinar os mapas de Karnaugh para as variáveis de excitação dos flip-flops D e para as variáveis de saída.
- 6- Obter, se necessário, os mapas de karnaugh para as variáveis de excitação dos flip-flops J-K, a partir dos mapas de karnaugh das variáveis de excitação dos flip-flops D. Normalmente, a utilização de flip-flops J-K conduz a circuitos de menor complexidade.
- 7- Seleccionar o tipo de flip-flops (D ou J-K) e obter as expressões simplificadas das funções de excitação e funções de saída.
- 8- Desenhar o diagrama lógico.
- 9- Testar o circuito utilizando eventualmente um simulador.

Exemplos de síntese de circuitos sequenciais síncronos

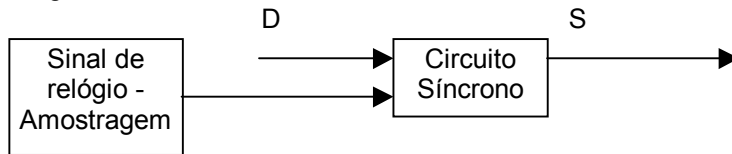
Exemplo 1:

Especificação funcional: Projectar um circuito sequencial síncrono que coloca a saída S quando amostrada três vezes consecutivas a entrada D, esta for encontrada a um nível alto um número ímpar de vezes. O circuito deverá voltar à condição inicial após cada 3 amostragens da entrada.

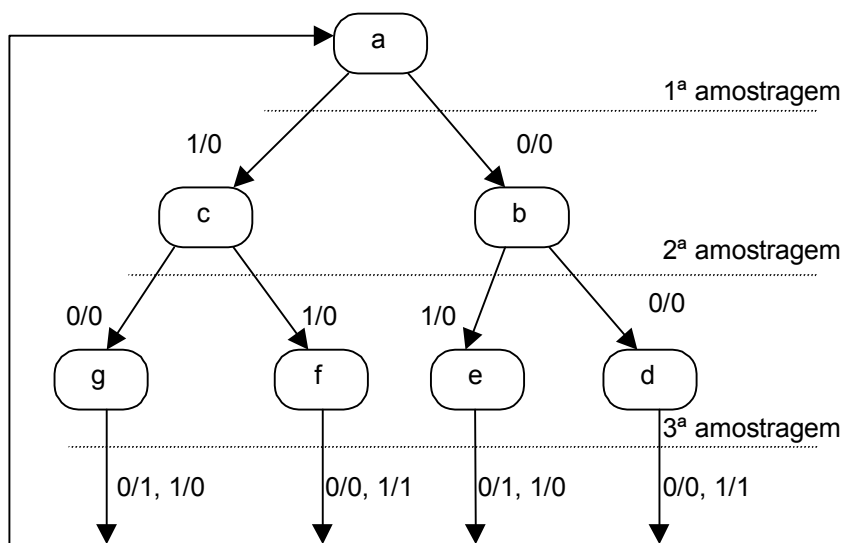
Especificações adicionais:

- ♦ O sinal de entrada não está sincronizado com o sinal de relógio.
- ♦ As amostragens devem ser realizadas nas vertentes descendentes do sinal de relógio.

Diagrama de blocos



Primeiro diagrama de estados



Legenda

Estado : Identificador

Transição entre estados: D/S

(D = var. entrada; S= var. saída)

Tabela de estados inicial – eliminação de estados redundantes

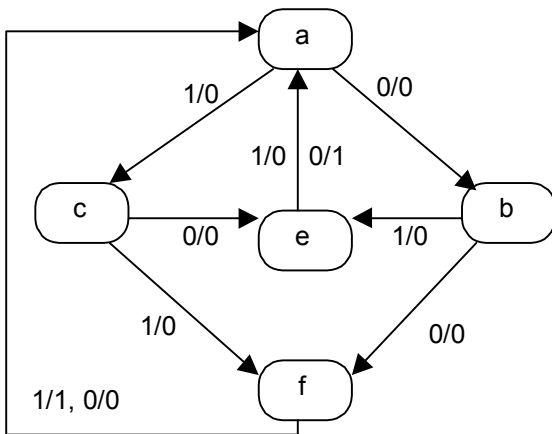
Estado presente	Entrada D	Estado seguinte	Saída S
a	0	b	0
	1	c	0
b	0	d	0
	1	e	0
c	0	g	0
	1	f	0
d	0	a	0
	1	a	1
e	0	a	1
	1	a	0
f	0	a	0
	1	a	1
g	0	a	1
	1	a	0

Da análise da tabela de estados, verifica-se que:
(d, f) são equivalentes;
(e, g) são equivalentes.

Tabela sem estados redundantes (foram eliminados os estados redundantes g, d)

Estado presente	Entrada D	Estado seguinte	Saída S
a	0	b	0
	1	c	0
b	0	d	0
	1	e	0
c	0	g	0
	1	f	0
e	0	a	1
	1	a	0
f	0	a	0
	1	a	1

Diagrama de estados

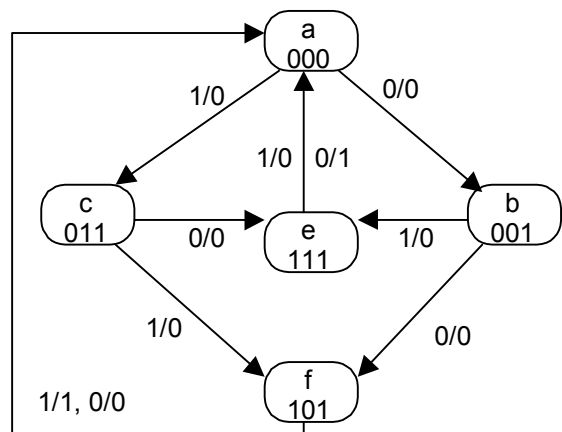


Codificação dos estados

Para codificar 5 estados são necessárias três células de memória (Q2, Q1, Q0). A solução possível apresentada na tabela e diagrama de estados seguintes teve por base:

- a atribuição do código 000 ao estado inicial a;
- a partir do estado a (000), a atribuição de códigos adjacentes aos estados (c, b) fazendo coincidir o bit Q1 com o valor da entrada D;
- a atribuição de códigos adjacentes aos estados (e, f), dado conduzirem ao mesmo estado seguinte para as mesmas especificações de entrada (resulta, nestas condições, a criação de grupos de adjacência nos mapas de karnaugh);
- minimizar o número de bits que mudam entre transições de estado;
- considerar condições indiferente para os códigos não utilizados.

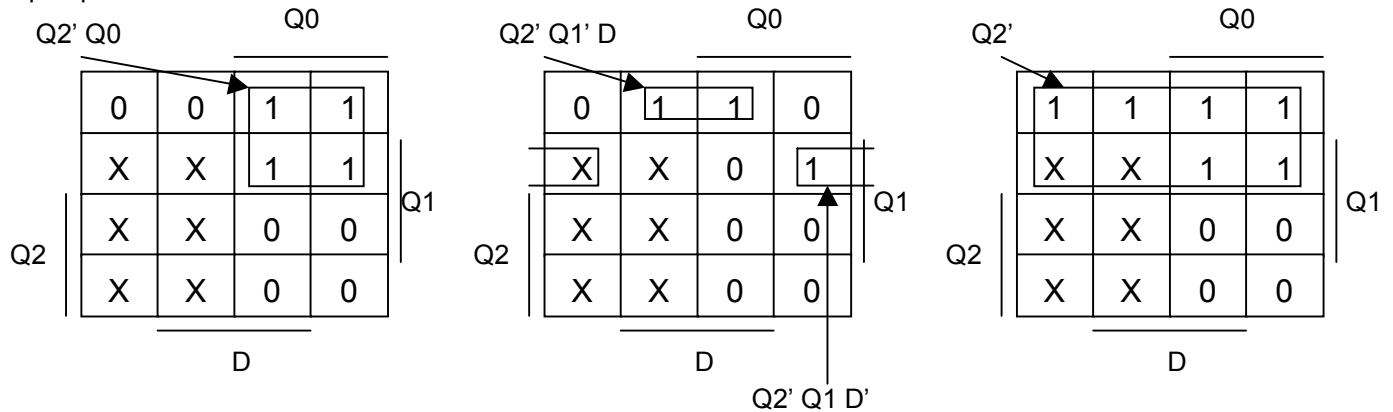
	Est. presente (Q2 Q1 Q0)	Var. entrada D	Est. seguinte (Q2 Q1 Q0)	Var. saída S
a	000	0	001	0
	000	1	011	0
b	001	0	101	0
	001	1	111	0
x	010	0	xxx	X
	010	1	xxx	X
c	011	0	111	0
	011	1	101	0
x	100	0	xxx	X
	100	1	xxx	X
f	101	0	000	0
	101	1	000	1
x	110	0	xxx	X
	110	1	xxx	X
e	111	0	000	1
	111	1	000	0



Mapas de karnaugh para as variáveis de excitação com flip-flops D e para a variável de saída S

A partir da tabela de estados anterior, são construídos os mapas de Karnaugh para as variáveis de excitação (igual ao estado seguinte) para os flip-flops D (D_2 , D_1 , D_0).

Flip-flops D

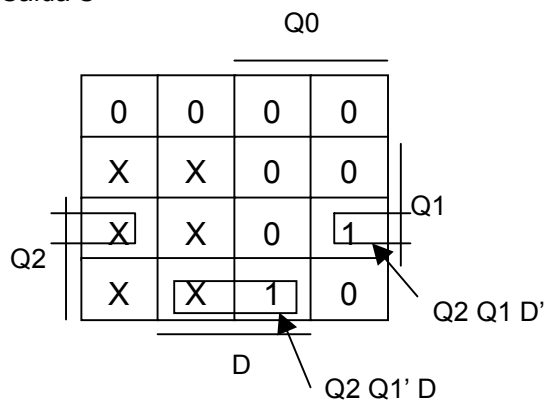


$$D_2 = Q_2' Q_0$$

$$D_1 = Q_2' Q_1' D + Q_2' Q_1 D$$

$$D_0 = Q_2'$$

Saída S



$$S = Q_2 Q_1 D' + Q_2 Q_1' D = Q_2 (Q_1 \oplus D)$$

Mapas de karnaugh para as variáveis de excitação com flip-flops J-K

A partir da tabela de estados anterior, introduz-se a coluna correspondente às variáveis de excitação dos flip-flops J-K (J_2 , K_2 , J_1 , K_1 , J_0 , K_0). O preenchimento desta coluna tem por base a tabela de excitação dos flip-flops J-K.

	Est. presente (Q2 Q1 Q0)			Var. entrada			Var. Excitação			Est. seguinte (Q2 Q1 Q0)			Var. saída	
				D			J2K2						S	
a	000	0	0	0	0X	0X	1X	001	0					
	000	1	0	1	0X	1X	1X	011	0					
b	001	0	0	0	1X	0X	X0	101	0					
	001	1	0	1	1X	1X	X0	111	0					
x	010	0	0	0	XX	XX	XX	xxx	X					
	010	1	0	1	XX	XX	XX	xxx	X					
c	011	0	0	0	1X	X0	X0	111	0					
	011	1	0	1	1X	X1	X0	101	0					
x	100	0	0	0	XX	XX	XX	xxx	X					
	100	1	0	1	XX	XX	XX	xxx	X					
f	101	0	0	0	X1	0X	X1	000	0					
	101	1	0	1	X1	0X	X1	000	1					
x	110	0	0	0	XX	XX	XX	xxx	X					
	110	1	0	1	XX	XX	XX	xxx	X					
e	111	0	0	0	X1	X1	X1	000	1					
	111	1	0	1	X1	X1	X1	000	0					

Tabela de excitação

Q_N	Q_{N+1}	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Flip-flops J-K

Q0

Q2	Q1	Q0	
0	0	1	1
X	X	1	1
X	X	X	X
X	X	X	X

D

$$J_2 = Q_0$$

Q2' D

Q2	Q1	Q0	
0	1	1	0
X	X	X	X
X	X	X	X
X	X	0	0

D

$$J_1 = Q_2' D$$

1

Q2	Q1	Q0	
1	1	X	X
X	X	X	X
X	X	X	X
X	X	X	X

D

$$J_0 = 1$$

1

Q2	Q1	Q0	
X	X	X	X
X	X	X	X
X	X	1	1
X	X	1	1

D

$$K_2 = 1$$

D

Q2	Q1	Q0	
X	X	X	X
X	X	1	0
X	X	1	1
X	X	X	X

D

$$K_1 = Q_2 + D$$

Q0

Q2	Q1	Q0	
X	X	0	0
X	X	0	0
X	X	1	1
X	X	1	1

D

$$K_0 = Q_2$$

Determinação dos mapas de Karnaugh para flip-flops J-K a partir dos mapas de karnaugh para flip-flops D

Os mapas de Karnaugh para flip-flops J-K podem ser obtidos de uma forma mais expedita a partir dos mapas de Karnaugh para flip-flops D.

Considerando a tabela de excitação dos flip-flops J-K, verifica-se que:
 quando $Q_N=0$, $J=Q_{N+1}$ e $K=X$ (indiferente),
 quando $Q_N=1$, $J=X$ (indiferente) e $K=Q'_{N+1}$.

Q_N	Q_{N+1}	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Como no mapa de karnaugh para flip-flops D tem-se simultaneamente o estado presente (Q_N) e o estado seguinte (valor da célula), a obtenção do mapa de Karnaugh para o respectivo flip-flop J-K é obtido da seguinte forma:

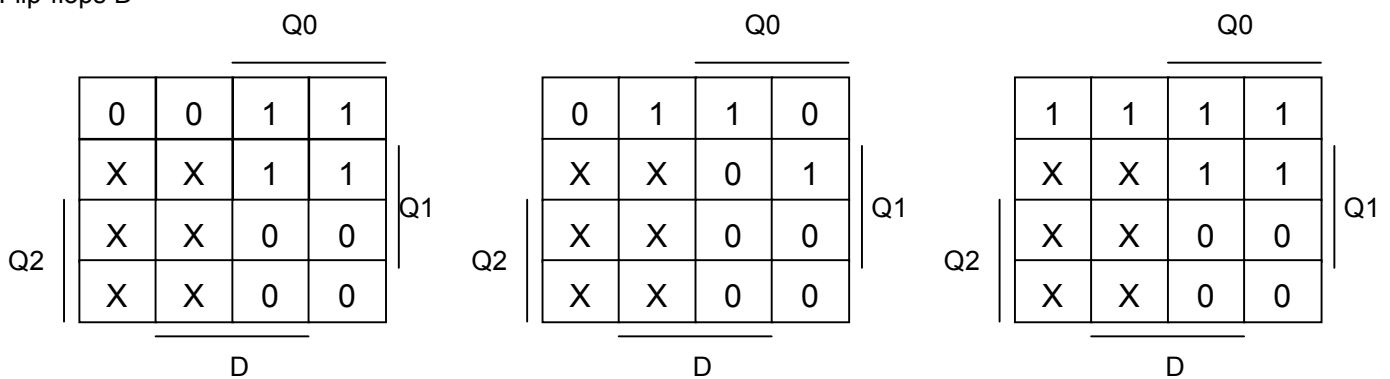
-para a entrada J :

- nas células em que $Q_N=0$, colocam-se os valores das respectivas células do mapa D;
- nas células em que $Q_N=1$, coloca-se X (indiferente) em todas as células;

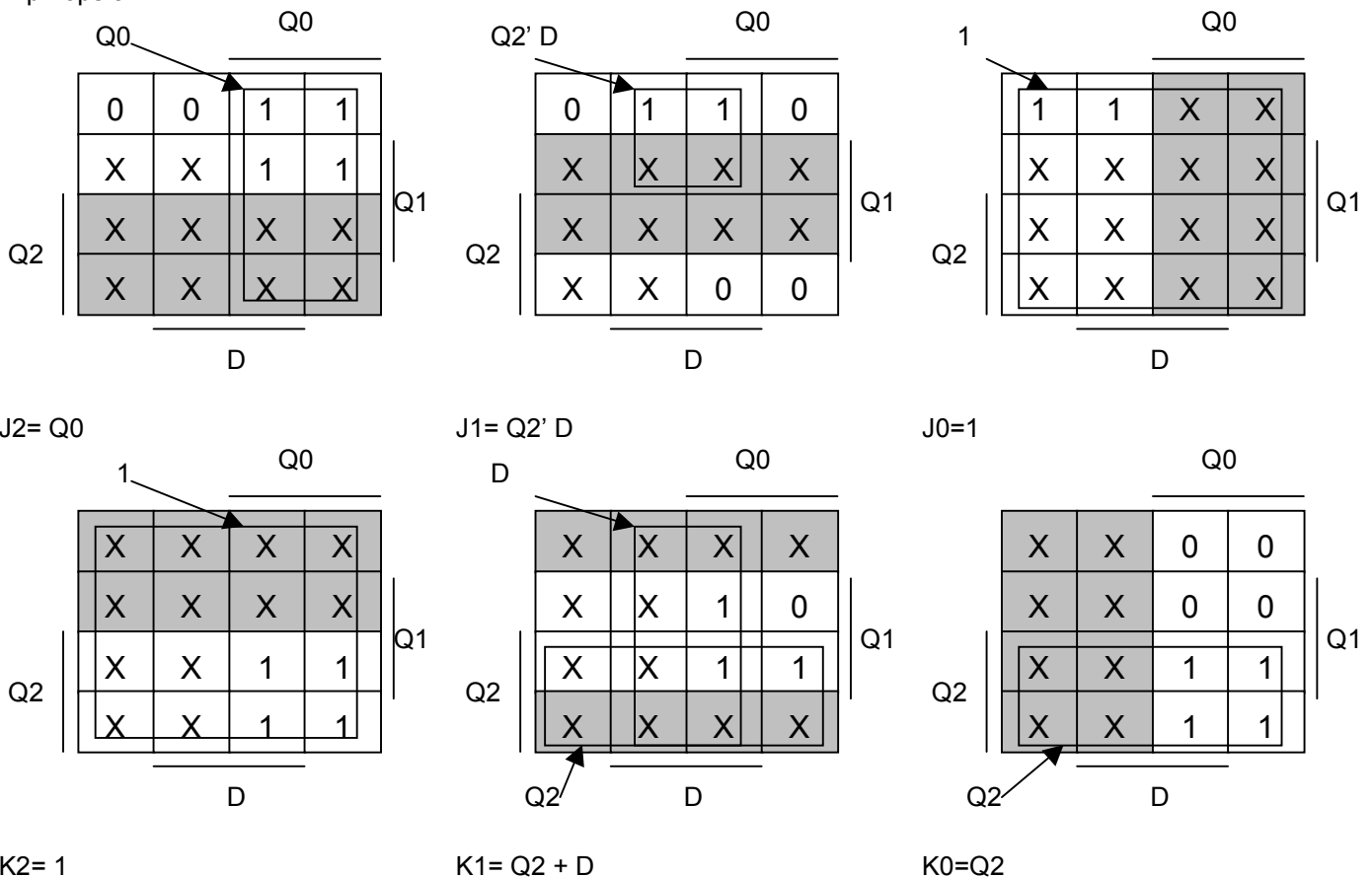
-para a entrada K :

- nas células em que $Q_N=0$, coloca-se X (indiferente) em todas as células;
- nas células em que $Q_N=1$, colocam-se os valores complementados das respectivas células do mapa D.

Flip-flops D

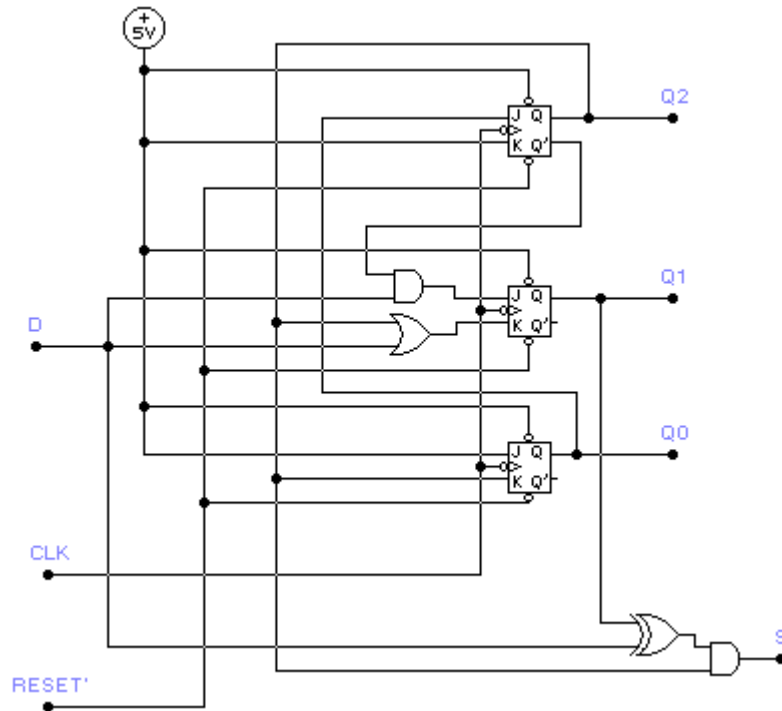


Flip-flops J-K



Seleção do tipo de flip-flops e diagrama lógico

Utilizando flip-flops do tipo J-K e as respectivas funções de excitação e de saída, obtém-se o diagrama lógico da figura seguinte. Foi adicionada a entrada adicional RESET' para inicialização assíncrona no estado 000.

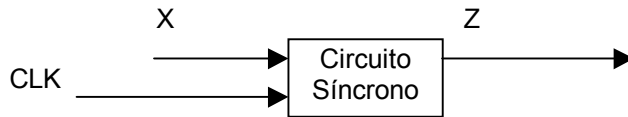


Exemplo 2:

Detector de uma sequência de bits (Máquina de Moore)

Especificação funcional: Projectar um circuito sequencial síncrono que detecte a ocorrência de um determinado padrão de bits numa sequência de valores de entrada. O circuito é constituído pela entrada de dados, X, e produz uma única saída Z que é colocada a 1 quando nas últimas três vertentes do sinal de relógio é detectada a sequência de bits 110.

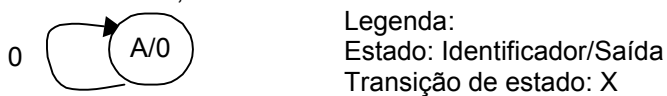
Diagrama de blocos



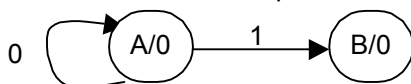
Construção do diagrama de estados

Trata-se de uma máquina de Moore, já que a saída depende apenas do estado do sistema. De acordo com as especificações, se nas últimas três vertentes do sinal de relógio tiver sido detectada a sequência 110 a saída é colocada a 1.

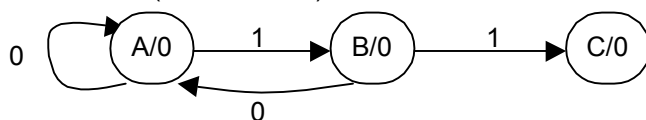
Considera-se um estado inicial A, ao qual se associa o facto de nenhuma sub-sequência de 110 ter sido detectada. Se X=0, o estado do sistema mantém-se.



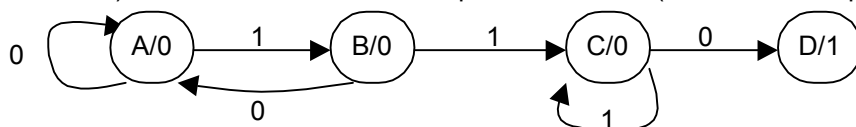
Se X=1, o sistema transita para o estado B (detectada a sequência 1).



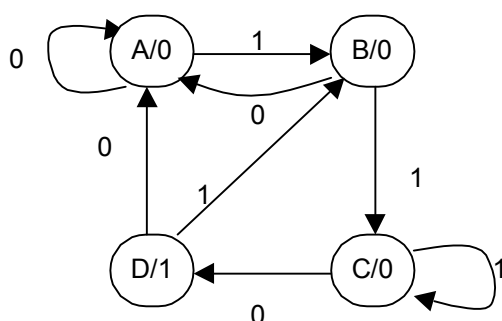
Do estado B, se X=1, o sistema transita para o estado C (detectada a sequência 11), se X=0, o sistema transita para o estado A (estado inicial).



Se o estado actual é C (detectada a sequência 11) e X=1 o sistema mantém-se no mesmo estado C (detectada a sequência 11). Se X=0, o sistema transita para o estado D (detectada a sequência 110) colocando a saída Z a 1.



Se o estado actual é D (detectada a sequência 110) a saída Z está a 1. Se X=0, o sistema transita para o estado A (estado inicial). Se X=1, o sistema transita para o estado B (detectada a sequência 1).



A - Início
B - detectada a sequência 1
C - detectada a sequência 11
D - detectada a sequência 110

Codificação dos estados

Existem quatro estados distintos, A, B, C e D, sendo por isso necessário 2 bits (2 células de memória – Q1, Q0) para codificar cada um dos estados.

Tabela de estados

Estado presente	Var. entrada	Estado seguinte	Var. Saída
Q1Q0	X	Q1Q0	Z
A 00	0	A 00	0
00	1	B 01	0
B 01	0	A 00	0
01	1	C 11	0
C 11	0	D 10	0
11	1	C 11	0
D 10	0	A 00	1
10	1	B 01	1

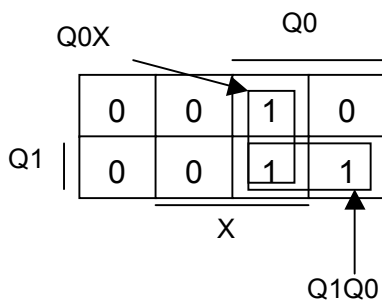
A codificação de estados tem por base:

- a atribuição do estado 00 ao estado inicial (a);
- o bit Q0 (estado seguinte) coincide com a variável de entrada X.

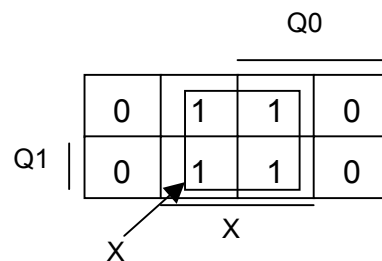
Tabela de estados para as variáveis de excitação de flip-flops D (D1, D0)

Estado presente	Var. entrada	Var. excitação	Estado seguinte	Saída
Q1 Q0	X	D1 D0	Q1 Q0	Z
0 0	0	0 0	0 0	0
0 0	1	0 1	0 1	0
0 1	0	0 0	0 0	0
0 1	1	1 1	1 1	0
1 0	0	0 0	0 0	1
1 0	1	0 1	0 1	1
1 1	0	1 0	1 0	0
1 1	1	1 1	1 1	0

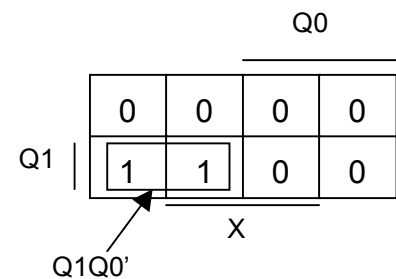
Mapas de Karnaugh para as variáveis de excitação de flip-flops D (D1, D0) e variável de saída Z



$$D1 = Q1Q0 + Q0X$$

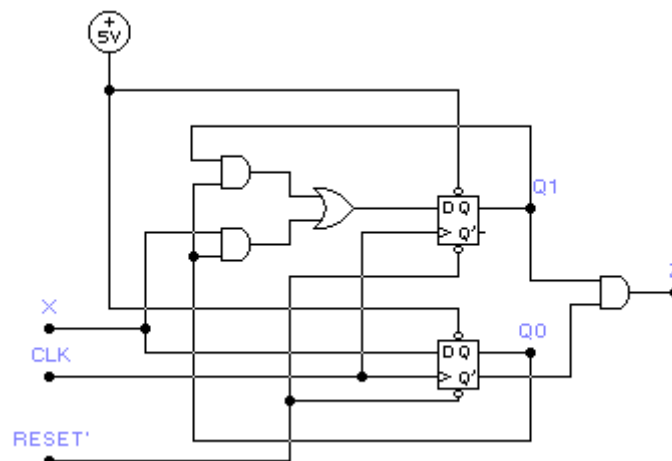


$$D0 = X \text{ (tal como previsto!)}$$



$$Z = Q1Q0'$$

Diagrama lógico – Foi adicionada a entrada de RESET' para inicialização assíncrona no estado 00

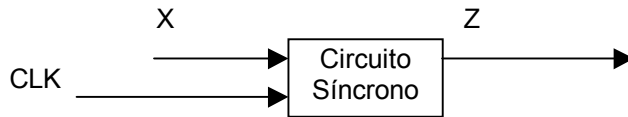


Exemplo 3:

Detector de uma sequência de bits (Máquina de Mealy)

Especificação funcional: Projectar um circuito sequencial síncrono que detecte a ocorrência de um determinado padrão de bits numa sequência de valores de entrada. O circuito é constituído pela entrada de dados, X, e produz uma única saída Z que é colocada a 1 quando nas últimas três vertentes do sinal de relógio é detectada a sequência de bits 100 e a entrada X está a 1.

Diagrama de blocos



Entrada X: 10110100101110001001001110

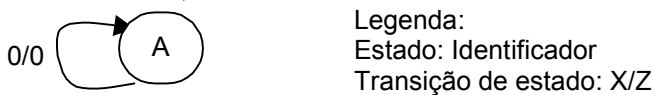
Saída Z: 00000000100000000001001000

Construção do diagrama de estados

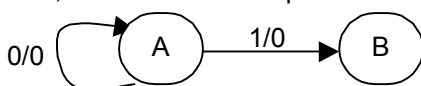
Trata-se de uma máquina de Mealy, já que a saída depende do estado do sistema e da variável de entrada X.

De acordo com as especificações, se nas últimas três vertentes do sinal de relógio tiver sido detectada a sequência 100 e a entrada tiver o valor 1 a saída é colocada a 1. É, portanto, necessário memorizar a ocorrência do padrão de bits 100.

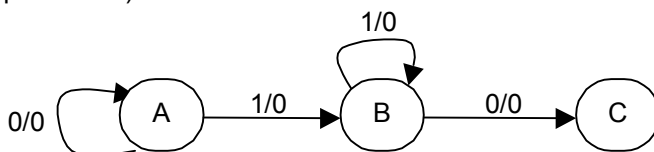
Considera-se um estado inicial A, ao qual se associa o facto da sequência 100 não ter sido detectada até ao momento. Se X=0, o estado do sistema mantém-se.



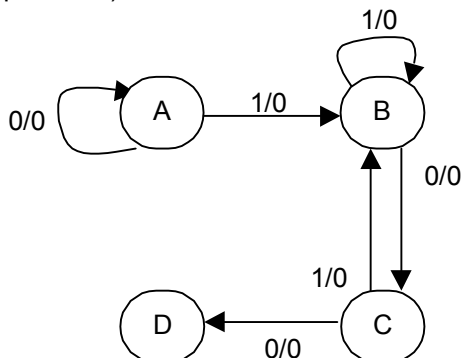
Se X=1, o sistema transita para o estado B (detectada a sequência 1).



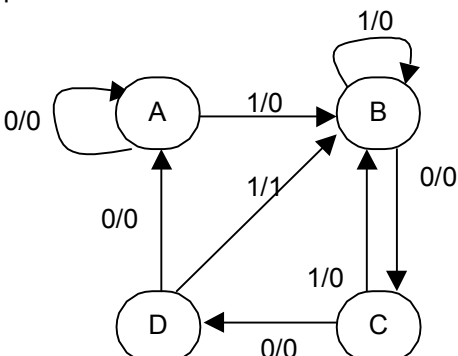
Do estado B, se X=1, o estado do sistema mantém-se, se X=0, o sistema transita para o estado C (detectada a sequência 10).



Se o estado actual é C (detectada a sequência 10) e X=1, o sistema deve regressar ao estado B (detectada a sequência 1). Se X=0, o sistema deve transitar para um novo estado D (detectada sequência 100).



Se o estado actual é D (detectada a sequência 100) e X=1, a saída Z é colocada a 1 e o sistema transita para o estado B (detectada a sequência 1). Se X=0, o sistema transita para o estado A pois não foi detectada a sequência 100.



Codificação dos estados

Existem quatro estados distintos, A, B, C e D, sendo por isso necessário 2 bits (2 células de memória – Q1, Q0) para codificar cada um dos estados. De entre as várias hipóteses de codificação, utiliza-se neste exemplo o seguinte sistema de codificação:

Estado	Código de estado (Q1 Q0)
A	00
B	01
C	10
D	11

Tabela de estados

Estado presente	Var. entrada	Estado seguinte	Var. Saída
Q1Q0	X	Q1Q0	Z
A 00	0	A 00	0
00	1	B 01	0
B 01	0	C 10	0
01	1	B 01	0
C 10	0	D 11	0
10	1	B 01	0
D 11	0	A 00	0
11	1	B 01	1

Simulação:

X: 0001010010000101001001

Estado: AAABCBBCDBCAABCBBCBDB

Y: 0000000010000000001001

Tabela de estados para as variáveis de excitação de flip-flops J-K (J1, K1, J0, K0)

Estado presente		Var. entrada	Var. excitação				Estado seguinte		Saída
Q1	Q0	X	J1	K1	J0	K0	Q1	Q0	Z
0	0	0	0	X	0	X	0	0	0
0	0	1	0	X	1	X	0	1	0
0	1	0	1	X	X	1	1	0	0
0	1	1	0	X	X	0	0	1	0
1	0	0	X	0	1	X	1	1	0
1	0	1	X	1	1	X	0	1	0
1	1	0	X	1	X	1	0	0	0
1	1	1	X	1	X	0	0	1	1

Mapas de Karnaugh para as variáveis de excitação de flip-flops J-K (J1, K1, J0, K0) e variável de saída Z

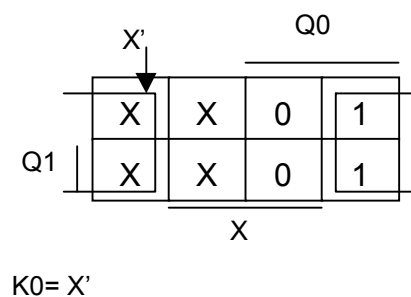
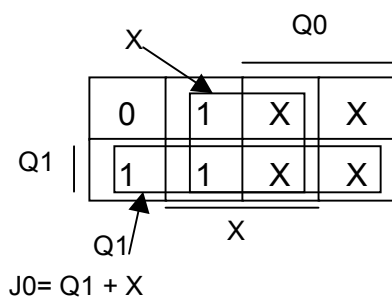
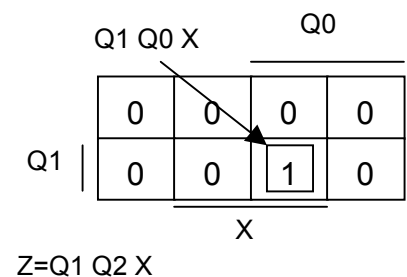
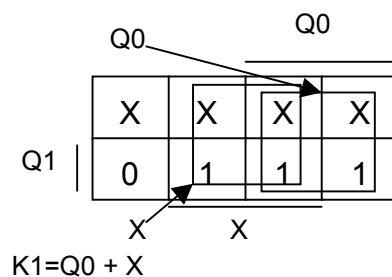
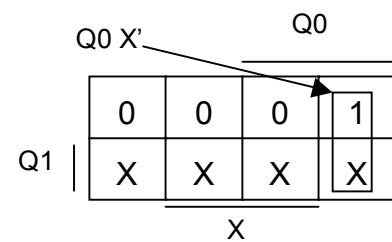


Diagrama lógico

Utilizando a entrada CLEAR dos flip-flops J-K, é adicionada uma entrada adicional (RESET') assíncrona para inicialização no estado 00.

