

Contadores (“*Counters*”)

Circuitos sequenciais que :

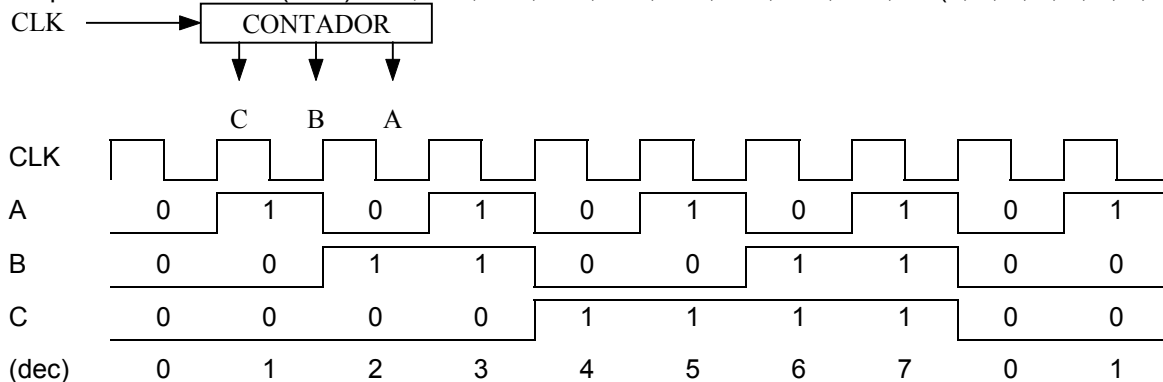
- ♦ não dependem de entradas externas (para além do relógio);
- ♦ seguem uma sequência de estados pré-definida (ciclo do contador = nº de estados).

Aplicações

- ♦ Contagem de impulsos ou ocorrências
- ♦ Temporização - Divisão de frequência
- ♦ Sequenciamento – Formas de onda desfasadas no tempo

Exemplo: Contador binário de 3 bits, ascendente

Sequência de estados (CBA): 000, 001, 010, 011, 100, 101, 110, 111, 000, (0, 1, 2, 3, 4, 5, 6, 7, 0, ...)



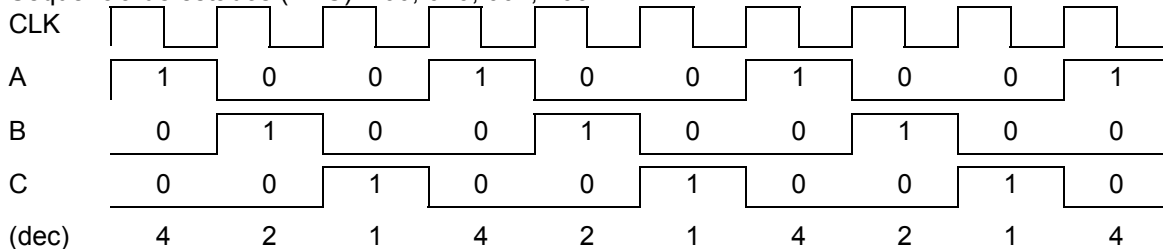
Frequências

CLK	f
A	$f/2$
B	$f/4$
C	$f/8$

Sequenciamento - Formas de onda desfasadas no tempo

Exemplo: Contador em anel de 3 bits (standard)

Sequência de estados (ABC): 100, 010, 001, 100...



Tipos de contadores

- ♦ Uni-modo
 - não têm entradas externas para além do relógio;
 - limitam-se a percorrer uma sequência de contagem, avançando em cada vertente do relógio.
- ♦ Multi-modo
 - a selecção da sequência de contagem -ascendente/descendente;
 - a inicialização do contador num determinado estado;
 - a inicialização a zero (*clear*);
 - a paragem da contagem.

Entradas externas, síncronas ou assíncronas, que permitem, por exemplo:

Contadores em anel

Os contadores em anel apresentam um padrão circulante constante (contadores “standard”) ou que passa por uma negação no extremo do contador (contadores “twisted”).

Sequência de estados (ABCD)

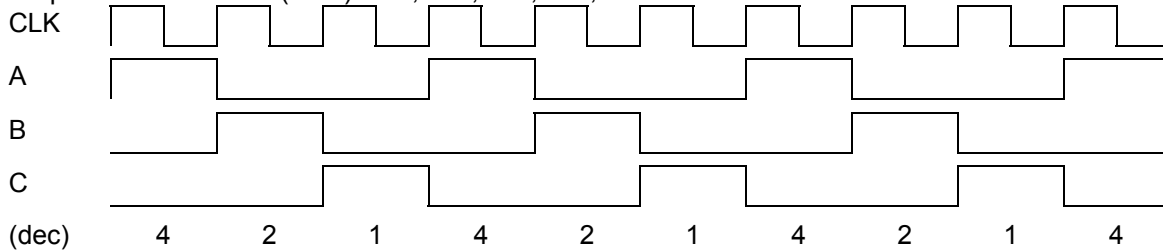
Standard 1000 0100 0010 0001 1000

Twisted 1000 1100 1110 1111 0111 0011 0001 0000 1000

A implementação de contadores deste tipo deve sempre garantir auto-correcção, isto é, qualquer que seja o estado de partida, os contadores devem entrar na sequência principal após um número finito de ciclos de relógio. Os contadores em anel são muito utilizados para fornecer ondas de relógio desfasadas e, de um modo geral, para sintetizar sequências cíclicas de temporização. Utilizam-se não só as saídas do contador directamente mas também se podem, por exemplo, produzir pulsos mais longos fazendo o OU de 2 ou mais saídas. Neste último caso, não é recomendável utilizar contadores do tipo standard, especialmente quando as saídas das portas vão ser utilizadas como relógios. Com efeito, as saídas das portas podem produzir “glitches” (pequenos impulsos).

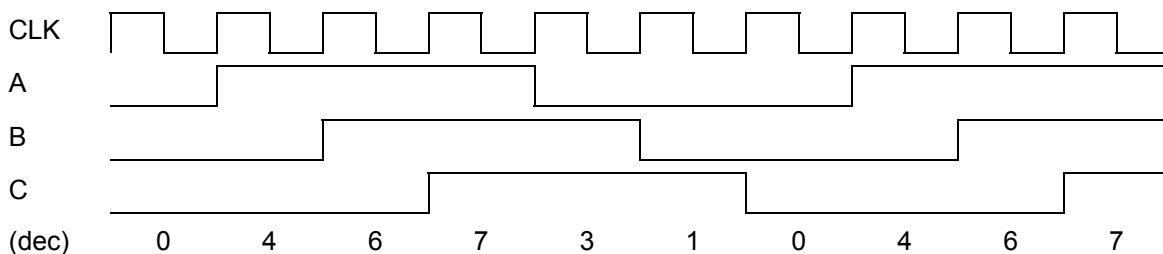
Contador em anel standard de três bits

Sequência de estados (ABC): 100, 010, 001, 100, ...



Contador em anel twisted de três bits

Sequência de estados (ABC): 000, 100, 110, 111, 011, 001, 000, ...

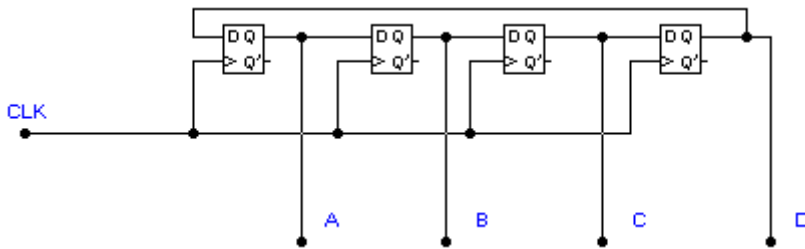


Síntese de contadores em anel

Os contadores em anel são contadores síncronos cuja designação é reflexo da interligação “em anel” das suas entradas/saídas de dados.

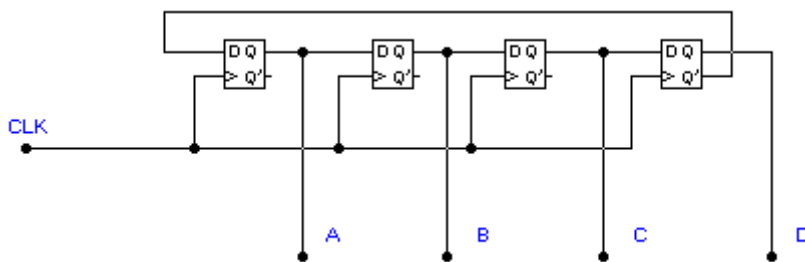
Contador em anel standard (versão simplificada)

$$D_A=D, D_B=A, D_C=B, D_D=C$$



Contador em anel twisted (versão simplificada)

$$D_A=D', D_B=A, D_C=B, D_D=C$$



Nas versões simplificadas, estes contadores não requerem nenhuma lógica adicional para além dos elementos de memória. No entanto, nestas versões, existem sequências de estados não desejadas conforme se pode verificar nos respectivos diagramas de estados.

Diagrama de estados para o contador em anel standard (versão simplificada)

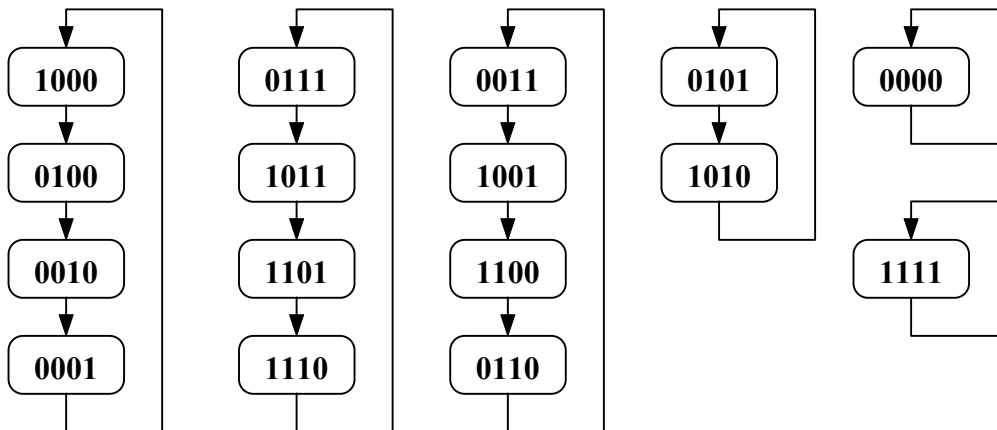
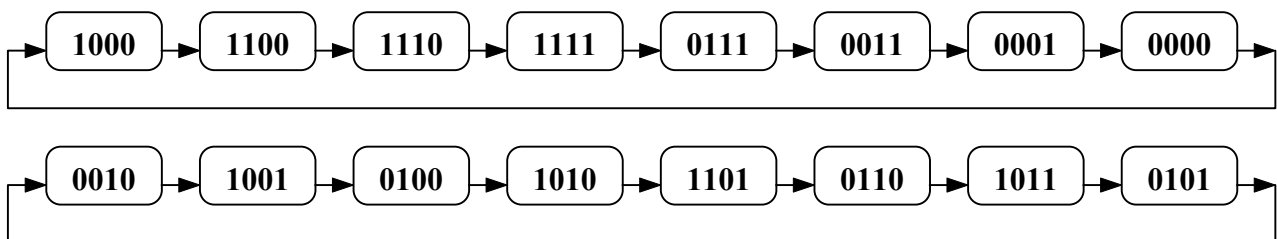


Diagrama de estados para o contador em anel twisted (versão simplificada)



Síntese de um contador em anel twisted de 3 bits

Sequência de estados (ABC): 000, 100, 110, 111, 011, 001, 000,...

Diagrama de estados

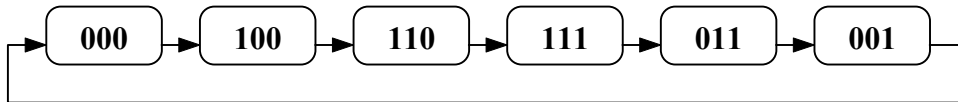


Tabela de transição de estados

Estado Presente			Estado Seguinte		
A	B	C	A	B	A
0	0	0	1	0	0
0	0	1	0	0	0
0	1	0	X	X	X
0	1	1	0	0	1
1	0	0	1	1	0
1	0	1	X	X	X
1	1	0	1	1	1
1	1	1	0	1	1

Mapas de Karnaugh para flip-flops D

D_A		D_B		D_C	
B		B		B	
A	C	A	C	A	C
1	0	0	X	0	0
1	X	0	1	0	X
1	1	1	1	1	1
1	1	1	1	1	1

 $D_A = C'$ $D_B = A$ $D_C = B$

Diagrama Lógico

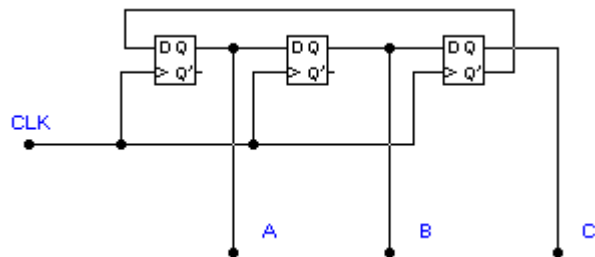
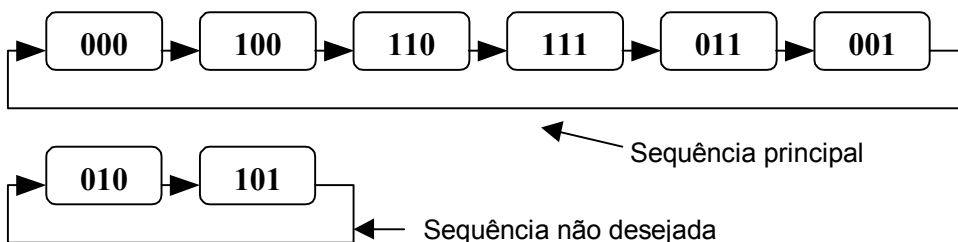


Diagrama de estados completo



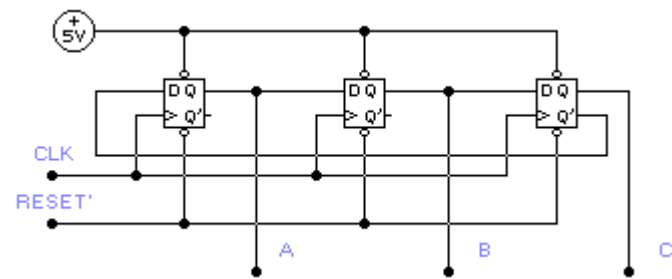
Conforme se pode verificar do último diagrama de estados, o circuito apresenta uma sequência de estados não desejada.

Para evitar as sequências não desejadas, pode-se implementar uma das seguintes soluções:

a) Inicialização assíncrona do contador num estado que pertença à sequência principal. Nesta solução existe uma entrada adicional de RESET activa no arranque do sistema digital.

b) Implementação de um circuito auto-corrector, isto é, qualquer que seja o estado inicial do circuito, este transita para a sequência principal após um número finito de ciclos de relógio.

Solução a) - Inicialização assíncrona do contador



Quando o circuito é inicializado a entrada de RESET é activada, colocando o circuito no estado 000 pertencente à sequência principal.

Solução b) - Implementação de um circuito auto-corrector

A solução para projectar contadores em anel auto-correctores está na forma como se agrupam os estados não utilizados (XXX) em um dos mapas de Karnaugh das variáveis de excitação. Por regra não se consideram as combinações indiferente em um dos mapas.

Para o exemplo em análise, considere-se os estados que não pertencem à sequência principal:

Estado presente	Estado seguinte		Observações
	Sem auto-correcção	Com auto-correcção(*)	
			(Nº da solução)
101	010	110	(1)Alteração do mapa D _A
101	010	000	(2)Alteração do mapa D _B
101	010	011	(3)Alteração do mapa D _C
010	101	001	(4)Alteração do mapa D _A
010	101	111	(5)Alteração do mapa D _B
010	101	100	(6)Alteração do mapa D _C

(*) Para o estado seguinte “Com auto-correcção” selecciona-se um estado da sequência principal que seja diferente do estado seguinte “Sem auto-corecção” em apenas um bit, alterando, deste modo, apenas um dos mapas de Karnaugh.

Optando pela alteração do mapa de Karnaugh para D_A

Solução (4)

D_A B

1	0	0	0
1	X	0	1

A

C

$D_A = B'C' + AC'$

Solução (1)

D_A B

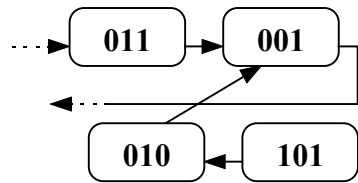
1	0	0	X
1	1	0	1

A

C

$D_A = C' + AB'$

Solução (4)



Solução (1)

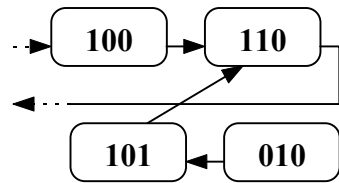
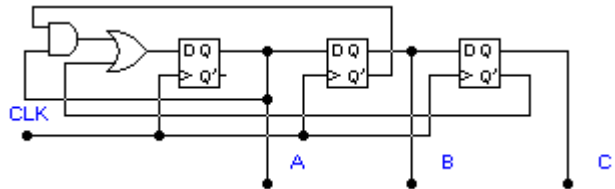


Diagrama lógico - Solução (1)



Contadores binários

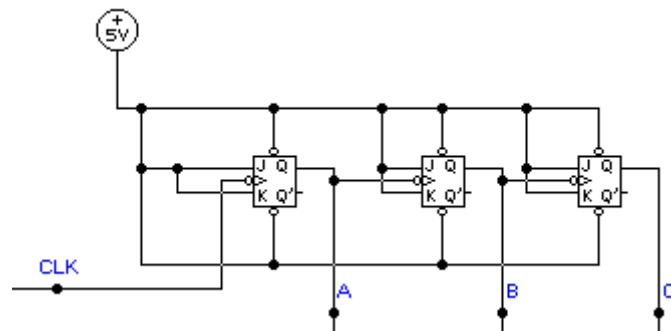
Os contadores binários percorrem uma sequência de estados cujos códigos de estado correspondem ao código binário natural da sequência de contagem decimal 0, 1, 2, 3, 4, 5, etc...

Contadores ripple (assíncronos)

- ♦ Contador assíncrono - os flip-flops não são todos alimentados pelo mesmo sinal de relógio
- ♦ Vantagem: simplicidade de construção
- ♦ Desvantagem: baixas frequências de operação
- ♦ Contador binário - Sequência de estados: $0, 1, 2, 3, 4, 5, \dots, 2^N - 1$ (N = número de bits do contador); Ciclo do contador = 2^N

Contador ripple, com 3 bits e contagem ascendente

Sequência de estados (CBA): 000, 001, 010, 011, 100, 101, 110, 111, 000.....(0, 1, 2, 3, 4, 5, 6, 7, 0, ...)

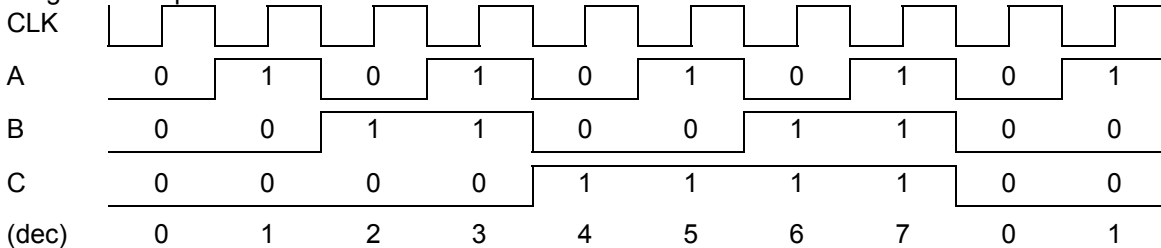


Análise do circuito

Atendendo a que as entradas J-K do flip-flops estão ligadas a 1 (função de toggle), verifica-se que:

- a saída A comuta de estado em cada vertente negativa do sinal de relógio;
- a saída B comuta de estado em cada vertente negativa do sinal A;
- a saída C comuta de estado em cada vertente negativa do sinal B.

Diagrama temporal



Máxima frequência de operação:

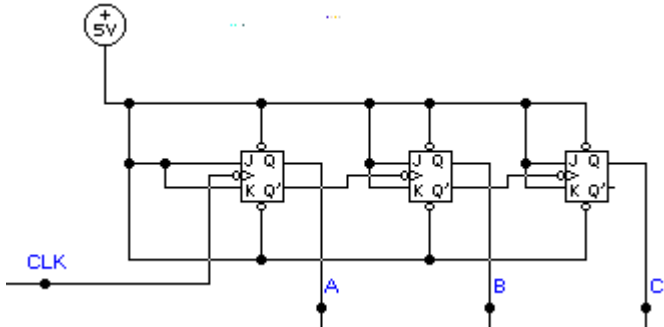
Na transição de 11..1 para 00..0, todos os flip-flop mudam de estado. Assim sendo, a frequência máxima é definida por

$$\frac{1}{f} \leq N \cdot T_p$$

onde N é o número de bits do contador e T_p é o tempo de propagação de um flip-flop.

Contador ripple, com 3 bits e contagem descendente

Sequência de estados (CBA): 111, 110, 101, 100, 011, 010, 001, 000, 111, ... (7, 6, 5, 4, 3, 2, 1, 0, ...)

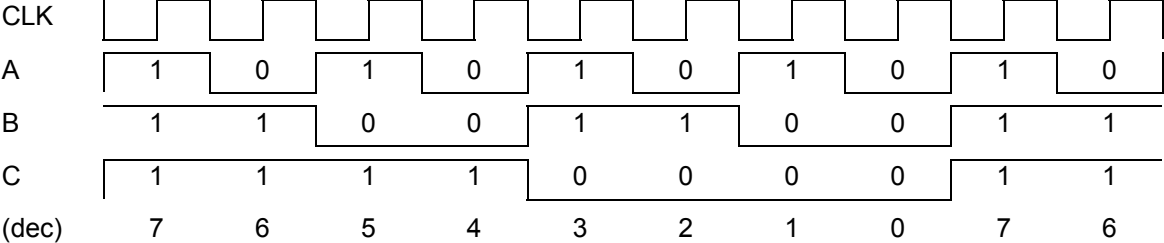


Análise do circuito

Atendendo a que as entradas J-K do flip-flops estão ligadas a 1 (função de toggle), verifica-se:

- A saída A comuta de estado em cada vertente negativa do sinal de relógio;
- A saída B comuta de estado em cada vertente negativa do sinal A' , ou seja, em cada vertente positiva do sinal A;
- A saída C comuta de estado em cada vertente negativa do sinal B' , ou seja, em cada vertente positiva do sinal B;

Diagrama temporal

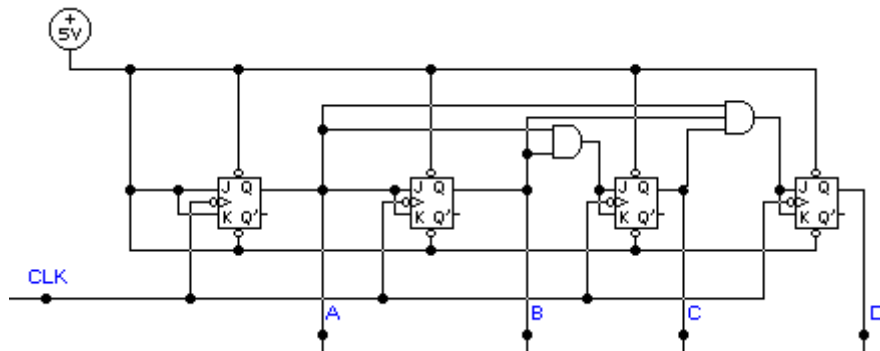


Contadores binários síncronos

- ♦ Contador síncrono - todos os flip-flops estão ligados ao mesmo sinal de relógio
- ♦ Desvantagem: complexidade de construção
- ♦ Vantagem: elevadas frequências de operação
- ♦ Tipos de contagem mais frequentes:
 - Contador binário - sequência de estados: 0,1,2,3,4,5,... 2^N-1 (N = número de bits do contador); Ciclo do contador = 2^N
 - Contador BCD ("decade") - sequência de estados: 0,1,2,3,4,5,6,7,8,9,0...;Ciclo do contador = 10
- ♦ Tipos de transporte:
 - paralelo/antecipado ("parallel carry/carry look-ahead")
 - em cascata/não antecipado ("ripple carry")

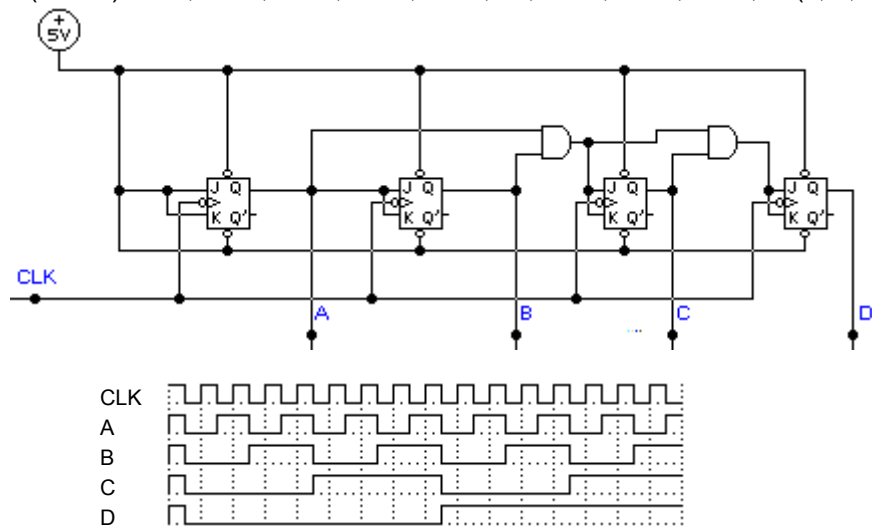
Contador de 4 bits, ascendente e transporte paralelo (ciclo=16) (parallel carry/carry look-ahead)

Sequência de estados(DCBA):0000, 0001, 0010, 0011, 0100, ..., 1110, 1111, 0000, ... (0, 1, 2, 3, 4, 14, 15, 0, ...)



Contador de 4 bits, ascendente e transporte não antecipado (ciclo=16) (ripple carry)

Sequência de estados(DCBA):0000, 0001, 0010, 0011, 0100, ..., 1110, 1111, 0000, ... (0, 1, 2, 3, 4, 14, 15, 0, ...)



Máxima frequência de operação: Como todos os flip-flops estão sincronizados com o mesmo sinal de relógio, a máxima frequência de operação depende apenas do tempo de propagação de um flip-flop e do tempo de propagação do circuito de descodificação do estado seguinte.

Para circuitos com transporte antecipado (parallel carry/carry look-ahead)

$$\frac{1}{f} \leq T_p + T_g$$

Para circuitos com transporte não antecipado (ripple)

$$\frac{1}{f} \leq T_p + (N-2) \cdot T_g$$

Onde,

N = N° de flip-flops ($N > 3$)

T_p = tempo de propagação de um flip-flop

T_g = tempo de propagação de uma porta AND

Note-se que apenas existe diferença na frequência máxima de operação, entre contadores com e sem transporte antecipado, quando o número de bits é superior a 3.

Síntese de contadores síncronos binários

Contador de 3 bits, ascendente (ciclo=8)

Sequência de estados(CBA):000, 001, 010, 011, 100, 101, 110, 111, 000 ... (0, 1, 2, 3, 4, 5, 6, 7, 0, ...)

Tabela de estados

Estado Presente			Estado Seguinte		
C	B	A	C	B	A
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	0

Síntese das funções de excitação utilizando flip-flops J-K

Observando a tabela de estados, verifica-se que, relativamente ao estado presente, no estado seguinte:

- a saída A é complementada ($0 \rightarrow 1$; $1 \rightarrow 0$) em qualquer transição de estado ($J_A = K_A = 1$);
- a saída B é complementada quando no estado presente $A=1$ ($J_B = K_B = A$);
- a saída C é complementada quando no estado presente $B=1$ e $A=1$ ($J_C = K_C = A \cdot B$).

Diagrama lógico

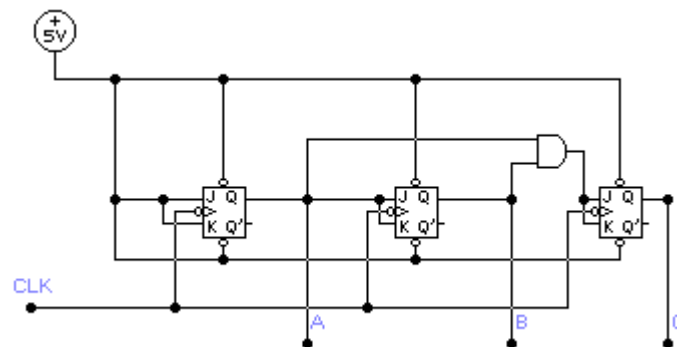
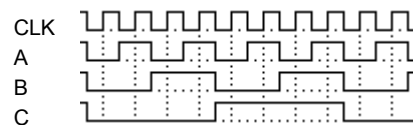


Diagrama temporal



Contador de 3 bits, decrescente

Sequência de estados(CBA):000, 111, 110, 101, 100, 011, 010, 001, 000 ... (0, 7, 6, 5, 4, 3, 2, 1, 0, ...)

Tabela de estados

Estado Presente			Estado Seguinte		
C	B	A	C	B	A
0	0	0	1	1	1
0	0	1	0	0	0
0	1	0	0	0	1
0	1	1	0	1	0
1	0	0	0	1	1
1	0	1	1	0	0
1	1	0	1	0	1
1	1	1	1	1	0

Síntese das funções de excitação utilizando flip-flops J-K

Observando a tabela de estados, verifica-se que, relativamente ao estado presente, no estado seguinte:

- a saída A é complementada (0→1; 1→0) em qualquer transição de estado ($J_A=K_A=1$);
- a saída B é complementada quando no estado presente $A=0$ ($J_B=K_B=A'$);
- a saída C é complementada quando no estado presente $B=0$ e $A=0$ ($J_C=K_C=A' B'$).

Diagrama lógico

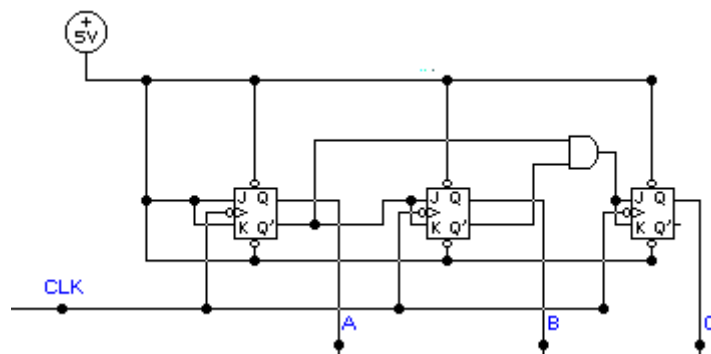
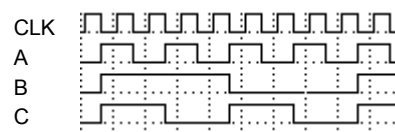


Diagrama temporal



Contador de 3 bits, com selecção do tipo de contagem ascendente/descendente

A entrada X permite seleccionar a sequência de contagem ascendente ou descendente.

X	Contagem
0	Descendente
1	Ascendente

Síntese das funções de excitação utilizando flip-flops J-K

Considerando que:

- para a contagem ascendente, as funções de excitação são:

$$J_A = K_A = 1; J_B = K_B = A; J_C = K_C = A B$$

- para a contagem descendente, as funções de excitação são:

$$J_A = K_A = 1; J_B = K_B = A'; J_C = K_C = A' B'$$

Obtém-se para este circuito:

$$J_A = K_A = 1; J_B = K_B = X'A' + X A; J_C = K_C = X' A' B' + X A B$$

Diagrama lógico

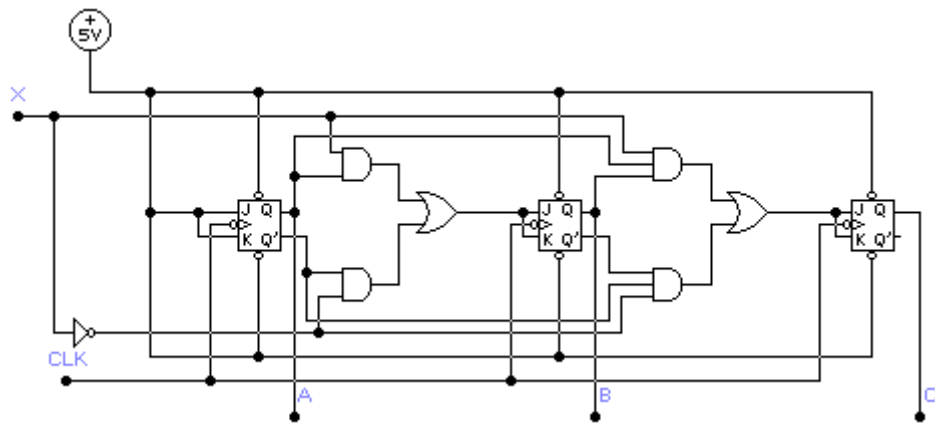
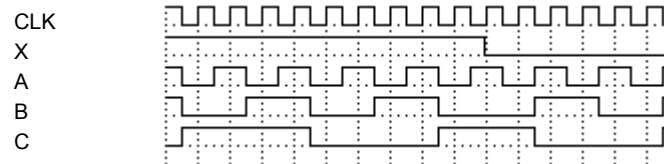


Diagrama temporal



Contador de 3 bits, ascendente, com entrada para inibir a sequência de contagem

Entrada EN - Controla a operação de contagem

EN	Operação
0	Contagem interrompida, mantendo-se o estado presente
1	Contagem

Síntese das funções de excitação utilizando flip-flops J-K

Considerando que para a contagem ascendente, as funções de excitação são:

$$J_A = K_A = 1; J_B = K_B = A; J_C = K_C = A \cdot B;$$

Obtém-se, considerando a entrada EN:

$$J_A = K_A = 1 \cdot EN; J_B = K_B = A \cdot EN; J_C = K_C = A \cdot B \cdot EN;$$

$$J_A = K_A = EN; J_B = K_B = A \cdot EN; J_C = K_C = A \cdot B \cdot EN;$$

Diagrama lógico

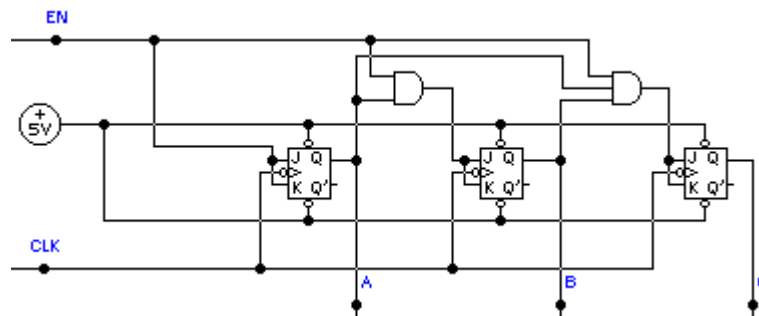
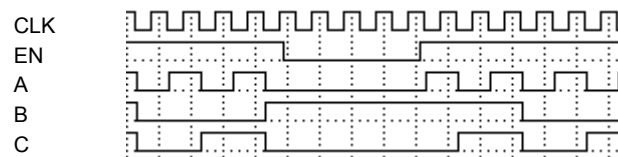


Diagrama temporal



Contador de 3 bits, ascendente, com entradas em paralelo para inicialização assíncrona (utilizando as entradas PRESET e CLEAR)

Entrada assíncrona LOAD - Quando activa (activa a 1), coloca o contador no estado definido nas entradas paralelas.

Entradas paralelas: Ea,Eb,Ec - Quando a entrada LOAD está activa, o valor binário destas entradas é colocado nas saídas A, B e C respectivamente.

LOAD	Operação
0	Contagem ascendente
1	Inicialização assíncrona do contador com o valor binário das entradas Ea, Eb, Ec

Diagrama lógico

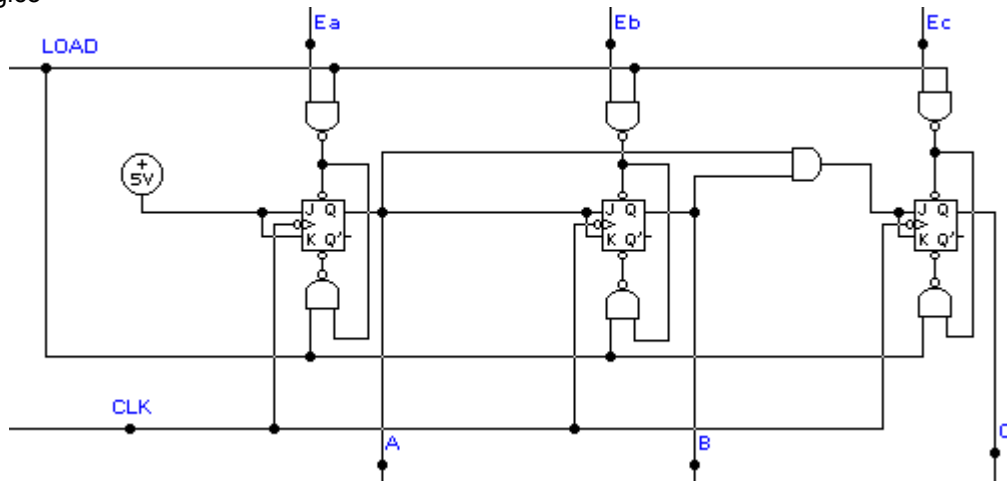
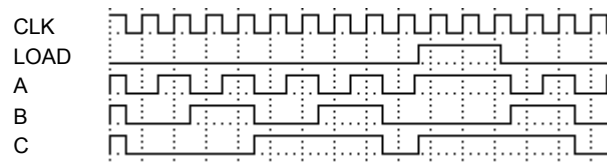


Diagrama temporal

Simulação com Ea=1, Eb=0, Ec=1



Contador de 3 bits, ascendente, com entradas em paralelo para inicialização síncrona

Entrada LOAD - Quando activa (activa a 1), coloca o contador no estado definido nas entradas paralelas, na próxima vertente do sinal de relógio (sincronismo).

Entradas paralelas: Ea,Eb,Ec - Quando a entrada LOAD está activa, o valor binário destas entradas é colocado na saídas A, B e C respectivamente.

Síntese do circuito com flip-flops J-K

Para o contador de 3 bits e contagem ascendente, obtém-se:

$$J_A=K_A=1 ; J_B=K_B=A ; J_C=K_C=A.B$$

Considerando as entradas adicionais LOAD, Ea, Eb e Ec, podem-se construir as seguintes tabelas de excitação dos flip-flops J-K:

Flip-Flop A

LOAD	Ea	J_A	K_A
0	X	1	1
1	0	0	1
1	1	1	0

Flip-Flop B

LOAD	Eb	J_B	K_B
0	X	A	A
1	0	0	1
1	1	1	0

Flip-Flop C

LOAD	Ec	J_C	K_C
0	X	A.B	A.B
1	0	0	1
1	1	1	0

Resultando nas seguintes funções de excitação (não simplificadas!):

$$J_A = \text{LOAD}' + E_a \cdot \text{LOAD}$$

$$K_A = \text{LOAD}' + E_a' \cdot \text{LOAD}$$

$$J_B = \text{LOAD}' \cdot A + E_b \cdot \text{LOAD}$$

$$K_B = \text{LOAD}' \cdot A + E_b' \cdot \text{LOAD}$$

$$J_C = \text{LOAD}' \cdot A \cdot B + E_c \cdot \text{LOAD}$$

$$K_C = \text{LOAD}' \cdot A \cdot B + E_c' \cdot \text{LOAD}$$

Diagrama lógico

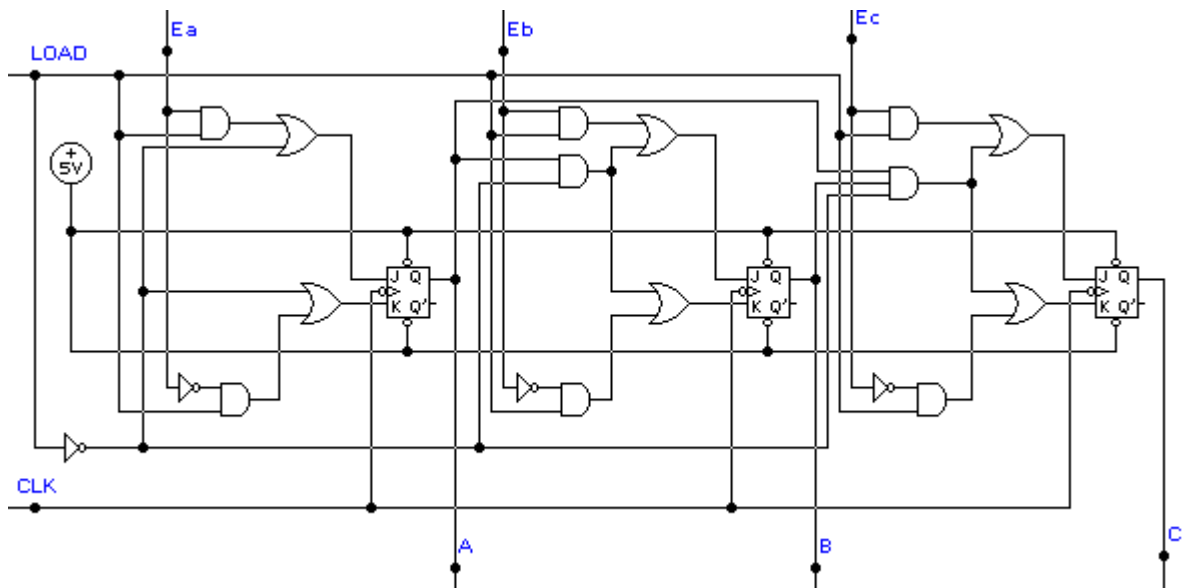
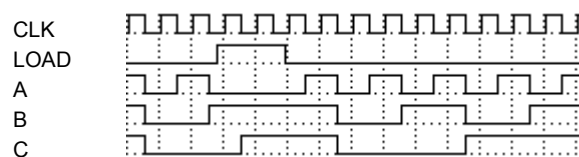


Diagrama temporal

Simulação com Ea=0, Eb=1, Ec=1



Síntese de contadores síncronos, binários, com ciclo diferente de 2^N

Contador BCD ("8-4-2-1 BCD decade counter"), ascendente (ciclo=10)

Sequência de estados(DCBA):0000, 0001, 0010, 0011, 0100,, 1000, 1001, 0000, ... (0, 1, 2, 3, 4, ..., 8, 9, 0..)

Tabela de estados

Estado Presente				Estado Seguinte			
D	C	B	A	D	C	B	A
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0
0	0	1	0	0	0	1	1
0	0	1	1	0	1	0	0
0	1	0	0	0	1	0	1
0	1	0	1	0	1	1	0
0	1	1	0	0	1	1	1
0	1	1	1	1	0	0	0
1	0	0	0	1	0	0	1
1	0	0	1	0	0	0	0

Síntese das funções de excitação utilizando flip-flops J-K

Observando a tabela de estados, verifica-se que, relativamente ao estado presente, no estado seguinte:

- a saída A é complementada (0→1; 1→0) para qualquer transição de estado ($J_A = K_A = 1$);
- a saída B é complementada quando no estado presente $A=1$ e $D=0$ ($J_B = K_B = D' \cdot A$);
- a saída C é complementada quando no estado presente $A=1$ e $B=1$ ($J_C = K_C = B \cdot A$);
- a saída D é complementada quando no estado presente:

$C=1, B=1$ e $A=1$ (0111→1000)

ou

$C=0, B=0$ e $A=1$ (1001→0000)

$J_D = C \cdot B \cdot A$; $K_D = A$

Diagrama lógico

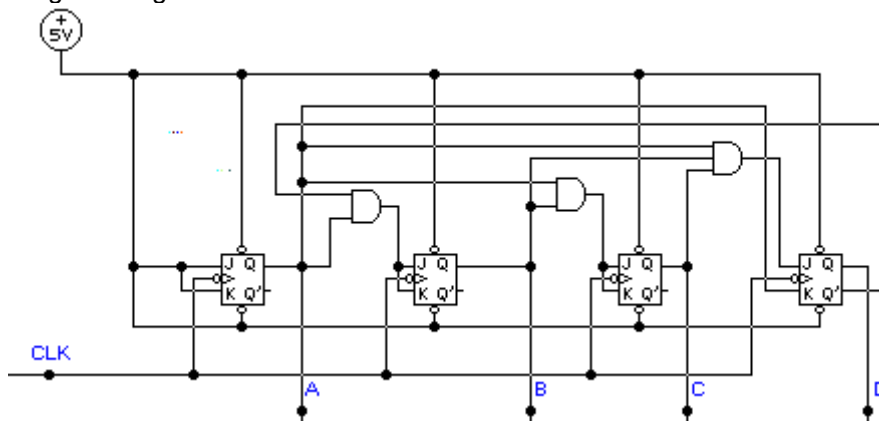
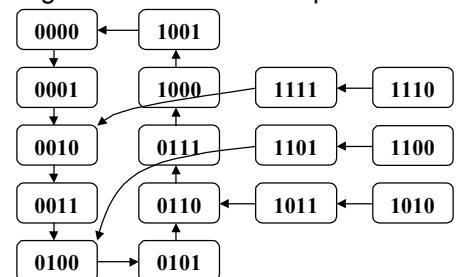
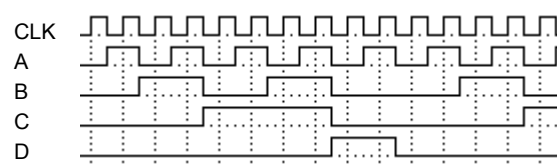


Diagrama de estados completo



Circuito auto-corretor!!

Diagrama temporal



Contador com ciclo=3, ascendente

Sequência de estados(BA): 00, 01, 10, 00, ... (0, 1, 2, 0, ...)

Tabela de estados

Estado Presente		Estado Seguinte	
B	A	B	A
0	0	0	1
0	1	1	0
1	0	0	0
1	1	X	X

Síntese das funções de excitação utilizando flip-flops D

$$D_A = B' A'$$

$$D_B = A$$

Diagrama lógico

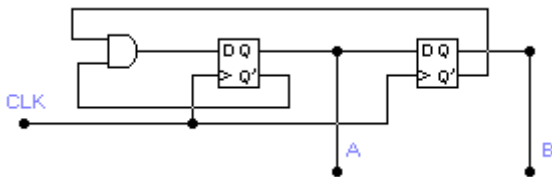
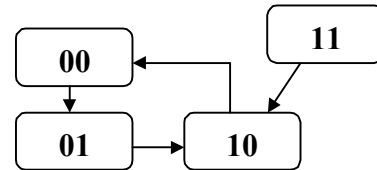
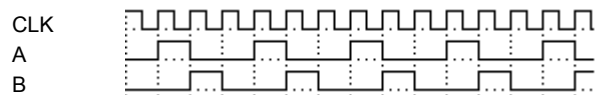


Diagrama de estados completo



Circuito auto-corrector!!

Diagrama temporal



A frequência do sinal nas saídas A e B é igual a 1/3 da frequência do relógio(CLK)

Síntese das funções de excitação utilizando flip-flops JK

Estado Presente		Var. excitação				Estado Seguinte	
B	A	J_B	K_B	J_A	K_A	B	A
0	0	0	X	1	X	0	1
0	1	1	X	X	1	1	0
1	0	X	1	0	X	0	0
1	1	X	X	X	X	X	X

$$J_B = A ; K_B = 1$$

$$J_A = B' ; K_A = 1$$

Diagrama lógico

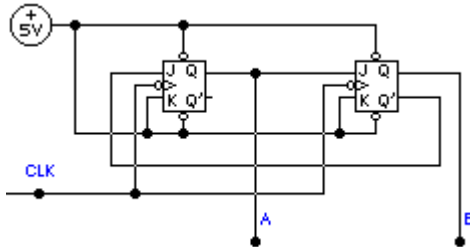
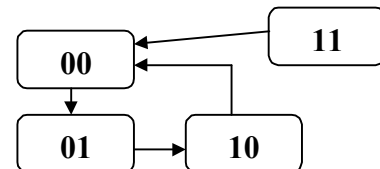


Diagrama de estados completo



Circuito auto-corrector!!

Contador com ciclo=6, ascendente

Sequência de estados (CBA): 000, 001, 010, 011, 100, 101, 000, ... (0, 1, 2, 3, 4, 5, 0...)

Tabela de estados

Estado Presente			Estado Seguinte		
C	B	A	C	B	A
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	0	0	0
1	1	0	X	X	X
1	1	1	X	X	X

Síntese das funções de excitação utilizando flip-flops J-K

Mapas de Karnaugh

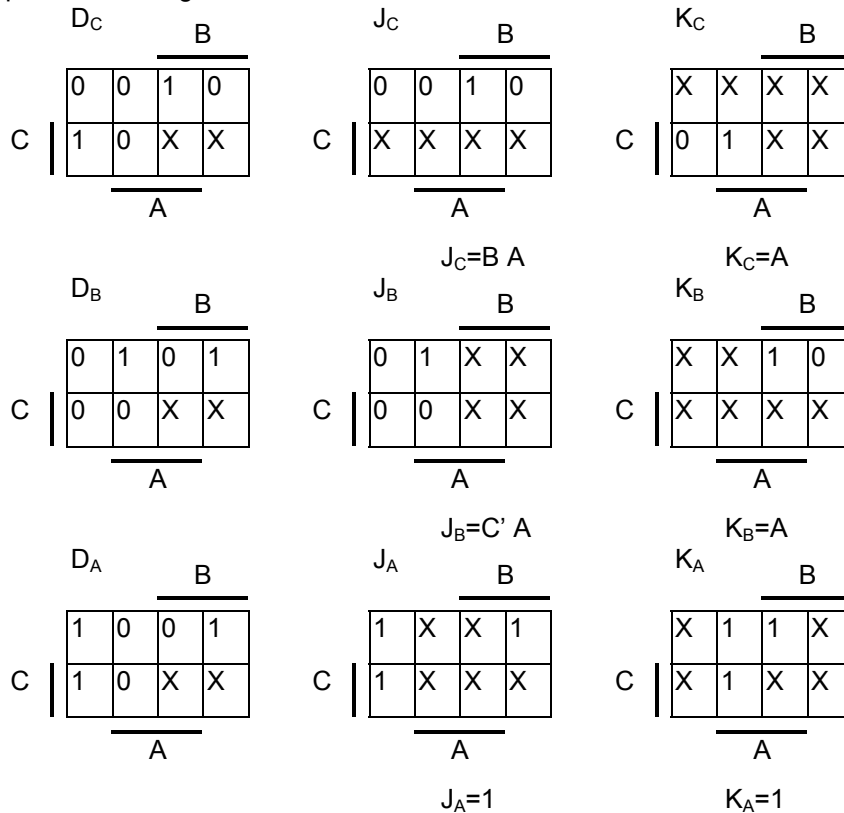


Diagrama lógico

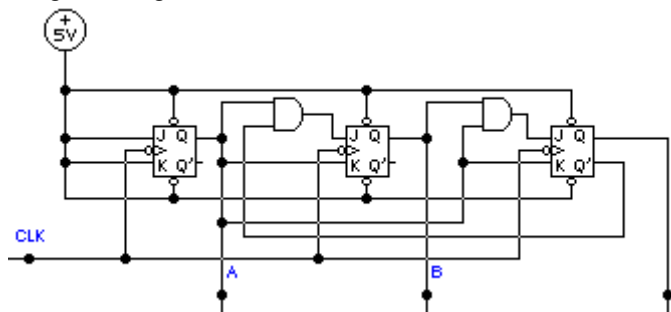
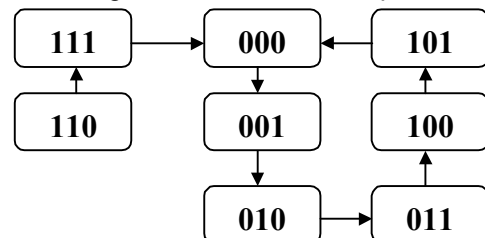
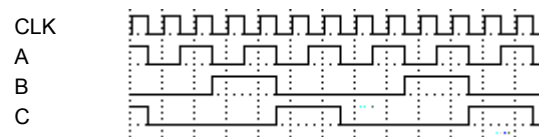


Diagrama de estados completo



Circuito auto-corretor!!

Diagrama temporal



Síntese de contadores síncronos com códigos repetidos

Os contadores síncronos, particularmente os uni-modo, são circuitos simples, cuja síntese é tratável pelo método tradicional. Para este tipo de contadores, o diagrama de estados é definido pela própria especificação e a codificação de estados coincide, normalmente, com a sequência de contagem. Há, no entanto, uma excepção que corresponde a sequências com códigos repetidos. Nestes casos é necessário utilizar um descodificador de saída sendo a codificação de estados diferente da sequência de contagem.

Seja, por exemplo, um contador com uma sequência de 6 códigos dos quais dois são iguais:

Sequência de contagem: (XYZ) 000, 001, 010, 011, 011, 100, 000, ... (0,1,2,3,3,4,0,...)

Codificação de estados: (CBA) 000, 001, 010, 011, 100, 101, 000, ... (0,1,2,3,4,5,0,...)

Tabela de estados:

Estado Presente			Estado Seguinte			Saídas		
C	B	A	C	B	A	X	Y	Z
0	0	0	0	0	1	0	0	0
0	0	1	0	1	0	0	0	1
0	1	0	0	1	1	0	1	0
0	1	1	1	0	0	0	1	1
1	0	0	1	0	1	0	1	1
1	0	1	0	0	0	1	0	0
1	1	0	X	X	X	X	X	X
1	1	1	X	X	X	X	X	X

Mapas de Karnaugh

Os mapas de Karnaugh para as variáveis de excitação com flip-flops JK foram anteriormente construídos (contador síncrono com ciclo=6, ascendente e auto-corrector), resultando nas seguintes expressões algébricas:

$$J_C = B A ; K_C = A$$

$$J_B = C' A ; K_B = A$$

$$J_A = 1 ; K_A = 1$$

Para as variáveis de saída X,Y,Z

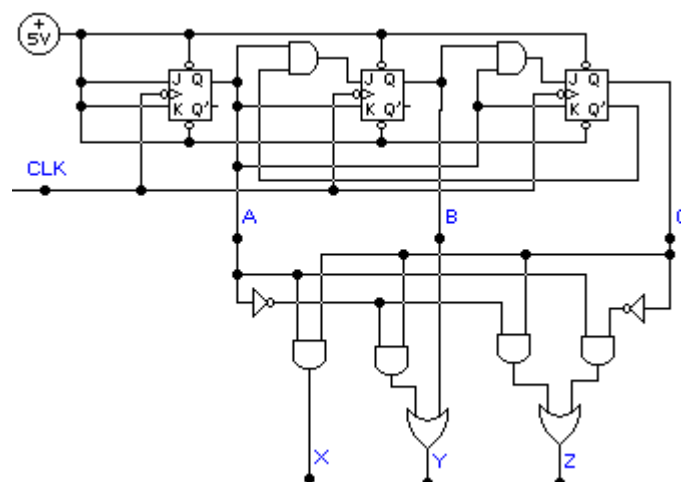
X				Y				Z			
		B				B				B	
		0	1			0	1			0	1
C	0	0	0	C	0	0	1	C	0	1	1
	1	0	1		1	0	X		1	0	X
		A				A				A	

$$X = A C$$

$$Y = A' C + B$$

$$Z = A C' + A' C$$

Diagrama lógico



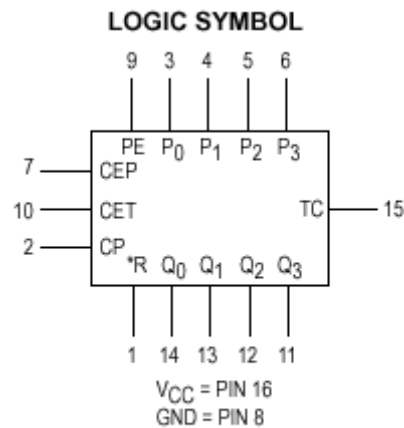
Contadores disponíveis sob a forma de circuitos integrados

Exemplos:

- ◆ 54/74/XXX160A/161A/162A/163A – “BCD decade counters/4 bit binary counters”

Principais funcionalidades:

- Contador síncrono binário de 4 bits com transporte antecipado;
- Ciclo de contagem =10 (160A/162A) ; Ciclo de contagem =16 (161A /163A);
- “Positive-Edge triggered”;
- “Clear” assíncrono (160A /161A) / “Clear” síncrono (162A/163A);
- Carregamento em paralelo síncrono, através da entrada PE’ (activa a 0);
- Entradas em paralelo (P₀, P₁, P₂, P₃);
- Entradas para activar a contagem CET, CEP (activas a 1);
- Saída de fim de contagem TC (activa a 1).



*MR for LS160A and LS161A

*SR for LS162A and LS163A

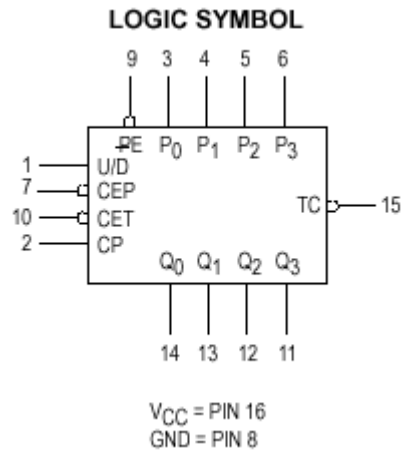
MODE SELECT TABLE

*SR	PE	CET	CEP	Action on the Rising Clock Edge (⌈)
L	X	X	X	RESET (Clear)
H	L	X	X	LOAD (P _n → Q _n)
H	H	H	H	COUNT (Increment)
H	H	L	X	NO CHANGE (Hold)
H	H	X	L	NO CHANGE (Hold)

◆ 54/74/XXX169 – “4 bit binary bi-directional counter”

Principais funcionalidades:

- Contador síncrono binário de 4 bits com transporte antecipado;
- Ciclo de contagem =16;
- “Positive-Edge triggered”;
- Carregamento em paralelo síncrono, através da entrada PE' (activa a 0);
- Entradas em paralelo (P₀, P₁, P₂, P₃);
- Entradas para activar a contagem CET', CEP' (activas a 0);
- Entrada para controlar o sentido da contagem U/D'(1-contagem ascendente; 0- contagem descendente);
- Saída de fim de contagem TC' (activa a 0).



MODE SELECT TABLE

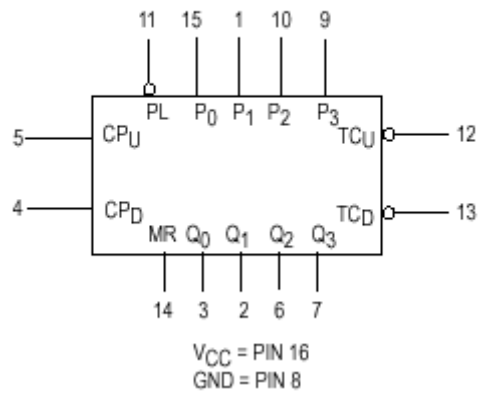
PE	CEP	CET	U/D	Action on Rising Clock Edge
L	X	X	X	Load (P _n → Q _n)
H	L	L	H	Count Up (increment)
H	L	L	L	Count Down (decrement)
H	H	X	X	No Change (Hold)
H	X	H	X	No Change (Hold)

◆ 54/74/XXX193 – “4 bit binary up/down counter”

Principais funcionalidades:

- Contador síncrono binário de 4 bits com transporte antecipado;
- Ciclo de contagem =16;
- “Positive-Edge triggered”;
- “Clear” assíncrono, através da entrada MR (activa a 1);
- Carregamento em paralelo assíncrono, através da entrada PL’ (activa a 0);
- Entradas em paralelo (P_0 , P_1 , P_2 , P_3);
- Entradas de relógio independentes para contagem ascendente e descendente (CP_U , CP_D);
- Saídas de fim de contagem TC_U , TC_D ’ (activa a 0).

LOGIC SYMBOL



MODE SELECT TABLE

MR	PL	CP _U	CP _D	MODE
H	X	X	X	Reset (Asyn.)
L	L	X	X	Preset (Asyn.)
L	H	H	H	No Change
L	H		H	Count Up
L	H	H		Count Down